Electronic and Cyber Defense
Vol. 14, No.2, 2026 (Serial No. 50) .pp.1-10
ISSN: 2322-4347 , E-ISSN: 2980-8979

Design of an approximate and optimal 6-bit multiplier circuit for implementation on FPGA with application in machine learning

Mahsa Gholami[1], HamidReza Ahmadifar[2*], Soheil Fallah Bagherinezhad[3]

[1] Master's Degree, University of Guilan, Rasht, Iran_mah.gholami1377@gmail.com
[2] Assistant Professor, University of Guilan, Rasht, Iran ([*]Correspondence: ahmadifar@guilan.ac.ir)
[3] Master's Degree, University of Guilan, Rasht, Iran. soheilfallah.sf7@gmail.com

ARTICLE INFO

Article history:

Article Type: Research paper
Received: 22 February 2026
Revised: 20 May 2026
Accepted: 03 June 2026
Available online: 24 June 2026

Keywords:
approximate computing
machine learning
approximate multiplier
FPGA

ABSTRACT

Implementing machine learning algorithms on programmable chips requires substantial hardware resources and logic blocks, which imposes limitations on their deployment. One effective approach to reduce resource usage is employing approximate computing circuits. Multiplication is typically one of the main targets in approximate computation since it plays a key role in increasing both resource consumption and computational delay. In this paper, approximate 5:2 and 6:2 compressors are proposed for use in a 6-bit multiplier circuit. The proposed design was first simulated using VHDL and then implemented and synthesized in Vivado on a ZedBoard Zynq platform from the Zynq-7000 family. Synthesis results show improvements of 50%, 50%, and 25% in resource utilization, dynamic power consumption, and delay, respectively, compared to the exact design. Error metrics evaluation, including NMED and MRED, demonstrates values comparable to other existing works. For qualitative evaluation, the proposed circuit was applied in a MATLAB-based machine learning model using a feedforward neural network. The results show that the average error increased by only 0.12% and 0.11% in linear regression and edge detection applications, respectively, which are acceptable for such use cases. Since random data were used, a t-test was conducted to analyze the accuracy. The test results indicate that, with a confidence level of 86%, there is no statistically significant difference in accuracy between the approximate and exact models.

Cite this article: M.Gholami , H.Ahmadifar, S.Fallah Bagherinezhad, "Design of an approximate and optimal 6-bit multiplier circuit for implementation on FPGA with application in machine learning." *Electronic and Cyber Defense*. 2026. 14(2):1-10. **DOI**: https://dor.isc.ac/dor/20.1001.1.23224347.1405.14.2.1.5

© Author(s) retain the copyright and full publishing rights
Publisher: Imam Hossein University.

«پدافندالکترونیک و سایبری »
سال چهاردهم، شماره ۲، تابستان ۱۴۰۵؛ ص ۱۰-۱
شاپا الکترونیکی: ۸۹۷۹-۲۹۸۰ شاپا چاپی: ۴۳۴۷-۲۳۲۲

طراحی مدار ضرب ۶ بیتی تقریبی و بهینه برای پیاده‌سازی روی تراشه‌های قابل‌برنامه‌ریزی با کاربرد در یادگیری ماشینی

مهسا غلامی[1]، حمیدرضا احمدی‌فر [2*]، سهیل فلاح باقری‌نژاد[3]

[1] کارشناسی ارشد، دانشگاه گیلان، رشت، ایران. *mah.gholami1377@gmail.com*

[2] استادیار، دانشگاه گیلان، رشت، ایران (نویسنده مسئول: *ahmadifar@guilan.ac.ir*)

[3] کارشناسی ارشد، دانشگاه گیلان، رشت، ایران *soheilfallah.sf7@gmail.com* .

چکیده

پیاده‌سازی الگوریتم‌های یادگیری ماشینی روی تراشه‌های قابل‌برنامه‌ریزی به منابع و بلوک‌های منطقی زیادی نیاز دارد، درنتیجه آن‌ها را با محدودیت‌هایی مواجه می‌کند. یکی از راه‌های کاهش منابع، استفاده از مدارهای محاسباتی تقریبی است. عمل ضرب معمولاً یکی از گزینه‌های اصلی در محاسبات تقربی است، چراکه نقش مهمی در افزایش میزان مصرف منابع و تاخیر محاسبات دارد. در این مقاله کمپرسورهای ۵:۲ و ۶:۲ تقریبی پیشنهاد شده که با هدف به‌کارگیری در مدار ضرب ۶ بیتی ارائه شده‌اند. مدار پیشنهادی ابتدا به زبان VHDL شبیه‌سازی شده و سپس در ابزار Vivado بر روی برد Zedboard Zynq از خانواده‌ی Zynq 7000 پیاده‌سازی و سنتز شد. نتایج سنتز نشان می‌دهد که در منابع مصرفی، توان مصرفی پویا و تاخیر، در مقایسه با مدار دقیق، به ترتیب 50، 50 و 25 درصد بهبود حاصل شده است. ارزیابی معیارهای خطا از جمله شامل NMED و MRED نشان‌دهنده‌ی مقادیر نزدیک با سایر کارهای موجود است. مدار پیشنهادی برای ارزیابی کیفی در نرم افزار متلب در یک مدل یادگیری ماشینی مبتنی بر شبکه عصبی پیش‌خور به‌کار رفته و نشان داده شده که به طور میانگین ۰/12 و ۰/۱۱ درصد به ترتیب در رگرسیون خطی و تشخیص لبه افزایش خطا ایجاد شده که در چنین کاربردهایی قابل قبول است. به دلیل استفاده از داده‌های تصادفی آزمون t-test برای تحلیل دقت به کار رفت. نتایج آزمون نشان می‌دهد که با سطح اطمینان ٪۸۶، نمی‌توان گفت مدل تقریبی و مدل دقیق تفاوت معنی‌داری در دقت دارند.

مشخصات مقاله

تاریخچه مقاله:

نوع مقاله: علمی پژوهشی

دریافت: ۱۴۰۴/۱۲/۰۳

بازنگری: ۱۴۰۵/۰۲/۳۰

پذیرش: ۱۴۰۵/۰۳/۱۳

ارائه آنلاین: ۱۴۰۵/۴/۰۳

کلید واژه ها:

محاسبات تقریبی

یادگیری ماشینی

ضرب‌کننده تقریبی

تراشه‌های قابل برنامه‌ریزی

استناد: مهسا غلامی، حمیدرضا .احمدی‌فر، سهیل. فلاح باقری‌نژاد، طراحی مدار ضرب ۶ بیتی تقریبی و بهینه برای پیاده‌سازی روی تراشه‌های قابل‌برنامه‌ریزی با کاربرد در یادگیری ماشینی. (۱۴۰۵)؛*پدافند الکترونیکی و سایبری*، ۱۴(۲)، ۱۰-۱.

https://dor.isc.ac/dor/20.1001.1.23224347.1405.14.2.1.5

© نویسندگان حق نشر و حقوق کامل انتشار را برای خود محفوظ می‌دارند.

ناشر: دانشگاه جامع امام حسین(ع)

۱- مقدمه

بهبود زمان اجرای الگوریتم‌ها نقش بسیار پررنگی در کارآمدی برنامه‌های با کاربرد خاص دارند [۱] . محاسبات تقریبی روشی شناخته شده برای کاهش توان مصرفی و یا افزایش سرعت در مقابل کاهش دقت است و در کاربردهایی که وقوع خطا را تا حدودی تحمل می‌کنند، مانند پردازش تصویر، پردازش ویدئو، رمزنگاری اطلاعات، یادگیری ماشینی و داده‌کاوی به کار می‌رود [۲-۳] . مدارهای قابل بازپیکربندی (FPGA)[1] به دلیل استفاده از LUT[2] دارای ویژگی‌هایی هستند که باعث می‌شود مدارهای بهینه‌سازی‌شده در بستر تراشه‌های خاص منظوره (ASIC)[3] نیاز به بازطراحی داشته باشند تا بتوانند بصورت بهینه در FPGA قرارگیرند. در غیراینصورت ممکن است باعث افزایش تعداد LUTهای به‌کار رفته در پیاده‌سازی توابع محاسباتی شوند] ۴-۶] .

یکی از گزینه‌های پرکاربرد برای به‌کارگیری تقریب در پیاده-سازی، عمل ضرب است. عمل ضرب در سه مرحله شامل تولید حاصلضرب‌های جزیی، کاهش عمق و جمع نهایی است. تقریب را می‌توان در هر یک از مراحل فوق به‌کار برد. در عمل کاهش عمق اغلب از کمپرسورهای m:2 (m>2) استفاده می‌شود تا مراحل کاهش عمق سریع‌تر انجام شود. تحقیقات زیادی در پیاده‌سازی مدارهای کمپرسور تقریبی صورت گرفته ولی اغلب آن‌ها با هدف استفاده در مدارهای ASIC ارائه شده‌اند] ۱۰-۲۲،۲۶،۲۷] . کمپرسورهای۴:۲ بخش بزرگ‌تری از تحقیقات را در مقایسه با سایر کمپرسورها برای تبدیل‌شدن به یک مدار تقریبی به خود اختصاص داده است که علتش امکان استفاده از آن در ضرب-کننده‌ها با پهنای مختلف است] ۱۰-۲۱،۲۶،۲۷] .

به علاوه تحقیقاتی با هدف بهینه‌سازی کمپرسورها برای قرارگیری در مدارهای FPGA صورت گرفته است] ۴-۹] . Ullah و همکاران] ۴] ، یک ضرب‌کننده تقریبی ۴ در ۲ ارائه داده‌اند که برای پیاده‌سازی در LUT بهینه‌سازی شده و می-تواند در طراحی ضرب‌کننده ۴ در ۴ استفاده شود. Toanو همکاران] ۵] ، یک کمپرسور ۴:۲ تقریبی ارایه داده‌اند که قابلیت قرارگیری در یک LUT را دارد و در طراحی مدار ضرب ۸ بیتی به‌کار رفته است. نتایج سنتز نشاندهنده‌ی بهبود توان مصرفی در مقایسه با مدار ضرب دقیق است. به علاوه آن‌ها در] ۶] کمپرسور ۴:۲ دیگری با هدف بهبود توان مصرفی و فضای اشغال‌شده ارایه کرده‌اند که عملکرد آن روی مدارهای ضرب بزرگ‌تر یعنی ۱۶ در ۱۶ و ۳۲ در ۳۲ نیز بررسی شده است. نتایج سنتز نشاندهنده بهبود معیار ضرب تاخیر، مساحت و توان مصرفی (PDAP[4]) بوده است. مدارهای ضرب ارائه‌شده در عملیات ضرب تصویر به‌کارگرفته شدند و بررسی معیارهای کیفی نشاندهنده‌ی نتایج قابل قبول بوده است.

Nieman و همکاران] ۷] روشی برای تولید حاصلضرب‌های جزیی مبتنی بر LUTها ارایه داده‌اند که باعث کاهش مصرف LUTها در پیاده‌سازی این بخش از مدار ضرب‌کننده چه به-صورت دقیق و چه به‌صورت تقریبی شده است. مدل ارائه‌شده برای پیاده‌سازی ضرب‌کننده ۸ بیتی استفاده شده و برای ارزیابی کیفی در عملیات فیلتر تصویر به‌کار رفته است.

Yaoو همکاران] ۸] ، در ابتدا یک مدار ضرب‌کننده دقیق بهینه طراحی کردند و سپس مدارهای ضرب‌کننده دقیق و تقریبی ۴ در ۴ را ارائه دادند که در طراحی سه ضرب‌کننده ۸ بیتی تقریبی استفاده شدند. نتایج سنتز نشاندهنده بهبود در مصرف LUT، کارایی و دقت مدار تقریبی در مقایسه با کارهای قبلی است. ارزیابی کیفی ضرب‌کننده‌های ۸ بیتی تقریبی در عملیات فیلتر تصویر و تشخیص دست خط مبتنی بر شبکه LeNet 5 CNN[5] انجام شده که نتایج قابل قبولی حاصل شده است.

Guo و همکاران] ۹] ، کمپرسوری ارائه کردند که برای فشرده سازی حاصلضرب‌های جزیی به‌کار رفته و سپس به کمک کمپرسورهای ارائه شده‌ی تقریبی m:2 (m<= 6) مرحله کاهش عمق حاصلضرب‌های جزیی را پیاده‌سازی کردند. همچنین دو مدار ضرب‌کننده ۸ بیتی با دقت‌های مختلف ارائه شده و از لحاظ میزان دقت و کارایی با سایر کارهای موجود مقایسه شده است. برای ارزیابی کیفی، مدارهای ارائه شده در پردازش تصویر به‌کار رفته و نتایج قابل قبولی حاصل شده است.

اگرچه تحقیقات مختلفی در خصوص بهینه‌سازی مدارهای ضرب-کننده تقریبی ۸ بیتی بر روی FPGA ارائه شده‌اند ولی کاربردهایی وجود دارند که نیاز به محاسبات جمع و ضرب روی داده‌های با ضریبی از ۶ بیت دارند] ۲۳-۲۴] . در چنین حالتی همه‌ی قابلیت‌های ضرب‌کننده‌های ۸ بیتی قابل استفاده نیستند و نیاز به بهینه‌سازی مناسب برای قرارگیری در FPGA دارند. در این مقاله دو کمپرسورتقریبی۵:۲ و ۶:۲ پیشنهاد شده که بر روی دو LUT، خروجی‌های حاصل‌جمع و رقم نقلی را تولید می‌کنند. این کمپرسورها برای طراحی مدار ضرب کننده ۶ بیتی به‌کار رفته است و نشان داده شده که در مقایسه با مدارهای موجود از سرعت، دقت و مساحت بهتری برخوردار است.

در ادامه و بخش ۲ به معرفی مفاهیم اولیه پرداخته می‌شود. در بخش ۳ کمپرسورهای ۵:۲ و ۶:۲ پیشنهادی ارائه شده و مدارهای ضرب‌کننده‌ی تقریبی مبتنی بر آن‌ها طراحی شده‌اند. شبیه‌سازی، سنتز و ارزیابی کیفی مدارهای پیشنهادی دربخش ۴ ارائه شده‌اند و بخش ۵ خلاصه و نتیجه‌گیری است.

[1]. Field Programmable Gate Array.
[2]. Look Up Table.
[3]. Application Specific Integrated Circuit.
[4]. Power Delay Area Product.
[5]. Convolutional Neural Network.

۲- مفاهیم پایه

خانواده‌ی FPGAهای سری ۷ از یک معماری سلسله مراتبی بر اساس CLB[1]های پایه بهره می‌برند. هر CLB شامل دو اسلایس و هر اسلایس دارای ۴ عدد LUT با ۶ ورودی، ۸ سلول حافظه برای خروجی‌های LUT، به همراه مالتی پلکسر و یک زنجیره رقم نقلی ۴ بیتی است] ۲۵ .

LUTهای ۶ ورودی مولفه اصلی در پیاده‌سازی توابع منطقی روی این سری از FPGAها هستند که به دو شکل قابل استفاده‌اند. در حالت اول (یعنی LUT6) می‌توان از همه‌ی ۶ ورودی برای تشکیل تابع منطقی با یک خروجی استفاده کرد. در حالت دوم (یعنی LUT6_2) می‌توان دو خروجی همزمان از LUT گرفت با این تفاوت که فقط ۵ ورودی می‌تواند اعمال شود. شکل ۱ ساختار داخلی LUT و زنجیره تولید رقم نقلی را نشان می‌دهد. مطابق شکل، در بخش الف، ۶ ورودی با یک خروجی O6، در بخش ب، ۵ ورودی با دو خروجی O5 و O6 و در بخش ج، مدار تولید رقم نقلی ۴ بیتی نشان داده شده‌اند [۲۵] .

در بخش کاهش عمق حاصل‌ضرب‌های جزئی اغلب از کمپرسورها برای تسریع انجام عملیات استفاده می‌شود. هر کمپرسور m:2 (m>2) می‌تواند m ورودی را جمع کرده و آن را به خروجی‌های حاصل‌جمع (S) و رقم نقلی (C) به همراه رقم‌های نقلی کناری تبدیل کند. شکل ۲ ساختار کلی یک کمپرسور m:2 را نشان می‌دهد.

بر اساس محدودیت‌های LUT، تحقیقاتی در پیاده‌سازی کمپرسورهای تقریبی در FPGA صورت‌گرفته که اغلب آن‌ها به بهینه‌سازی کمپرسورهای ۴:۲ پرداخته‌اند. کمپرسور ۴:۲ دارای ۴ ورودی و یک رقم نقلی کناری است و خروجی‌های S، C و Cout تولید می‌کند که آخری رقم نقلی کناری محسوب می‌شود. در تحقیقات قبلی نشان‌داده‌شده که امکان قرارگیری هر دو خروجی S و C از کمپرسور درون یک LUT6_2 وجود دارد [۴-۶] . بدین ترتیب می‌تواند در مرحله کاهش عمق حاصل‌ضرب‌های جزئی در ضرب‌کننده‌های با ضریب ۴ (مانند ۸، ۱۶ و ۳۲ بیتی) به‌صورت بهینه به کار رود.

کاربردهایی وجود دارند که از داده‌های با پهنای ضریبی از ۶ استفاده می‌کنند] ۲۳-۲۴] و در عملیات ضرب برای چنین ورودی‌هایی، به‌کارگیری مدارهای ضرب ۸ بیتی بهینه نیستند. همچنین به‌کارگیری کمپرسورهای ۴:۲ نمی‌تواند به‌صورت کارآمد در پیاده‌سازی ضرب‌کننده‌های ۶ یا ۱۲ بیتی به کار رود. در واقع داشتن کمپرسورهای بزرگ‌تر مانند ۶:۲ و ۵:۲ می‌تواند در مراحل کم‌تر و سریع‌تر عملیات کاهش عمق را انجام دهد] ۲۲] . شکل ۳ مدار عمومی کمپرسورهای ۵:۲ و ۶:۲ را مبتنی بر استفاده از تمام جمع‌کننده (FA[2]) نشان می‌دهد.

شکل ۴ مراحل کاهش عمق ضرب‌کننده ۶ بیتی را در دو حالت نشان می‌دهد. در حالت اول فقط از کمپرسورهای ۴:۲ استفاده شده] ۱۸] و در حالت دوم کمپرسورهای ۶:۲ و یا کمپرسورهای کوچک‌تر نیز به کار رفته‌اند.

مطابق شکل ۴، در مقایسه باحالت ب، حالت الف یک مرحله اضافه‌تر دارد. البته تأخیر مدار داخلی کمپرسور ۶:۲ بیشتر از ۴:۲ و به‌اندازه تأخیر ۴ عدد FA است، درحالی‌که کمپرسور ۴:۲ به‌اندازه دو FA تأخیر دارد. اما به‌کارگیری یک مرحله اضافه‌تر در حالت الف باعث می‌شود که تأخیر مدار در این حالت بیشتر باشد. زیرا برای پیاده‌سازی در FPGA نیاز به یک LUT جداگانه دارد. از طرفی کمپرسورهای بزرگ‌تر مانند ۵:۲ یا ۶:۲ در یک LUT قابل‌پیاده‌سازی نیستند که علت آن تعداد بیشتر ورودی و رقم‌های نقلی کناری است. تحقیقات مطالعه شده در زمینه به‌کارگیری مدارهای تقریبی کمپرسور در پیاده‌سازی مدار ضرب‌کننده روی FPGA اغلب به کمپرسورهای ۴:۲ محدود می‌شود [۴-۶] . هدف اصلی این مقاله ارائه مدارهای کمپرسور ۶:۲ و ۵:۲ تقریبی است به‌گونه‌ای که موجب تسریع عملیات کاهش عمق شوند.

۳- مدار پیشنهادی

برای بهبود عملکرد مدار شکل ۴ ب می‌توان از مدارهای تقریبی استفاده کرد. در این بخش ابتدا کمپرسورهای تقریبی ۵:۲ و ۶:۲ پیشنهادی معرفی می‌گردند و سپس در عملیات ضرب ۶ بیتی به کار گرفته خواهند شد.

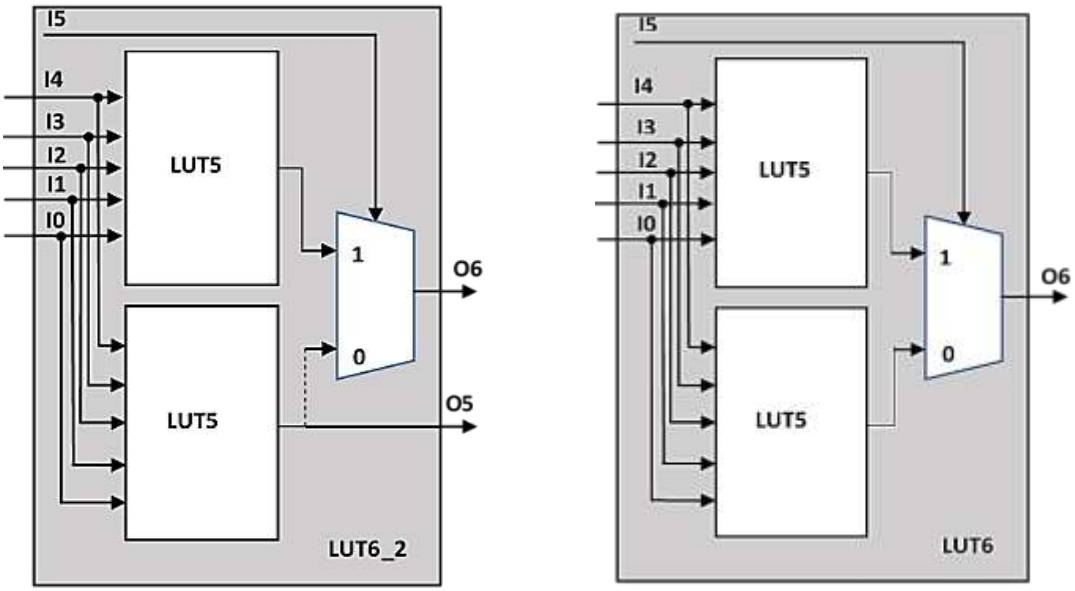
3-1. کمپرسورهای تقریبی ۵:۲ و ۶:۲ پیشنهادی

کمپرسورهای دقیق ۵:۲ و ۶:۲ به ترتیب دارای دو و سه رقم نقلی کناری هستند (مطابق شکل ۳). برای تسریع عملیات کاهش عمق، رقم‌های نقلی کناری حذف می‌شوند. این کار باعث اضافه‌شدن به ترتیب ۲۹درصد و ۳۳درصد خطا در خروجی کمپرسورهای ۵:۲ و ۶:۲ می‌گردد. در مقابل امکان قرارگیری آنها در یک LUT فراهم می‌شود. تابع S در هر دو کمپرسور تقریبی پیشنهادی با عمل منطقی xor روی همه‌ی ورودی‌ها به دست می‌آید و تابع C زمانی مقدار یک می‌گیرد که بیش از یک مقدار "1" در ورودی‌ها وجود داشته باشد. روابط (۱) و (۲) مربوط به نحوه‌ی محاسبه‌ی خروجی‌های S و C در کمپرسور ۵:۲ تقریبی پیشنهادی هستند.

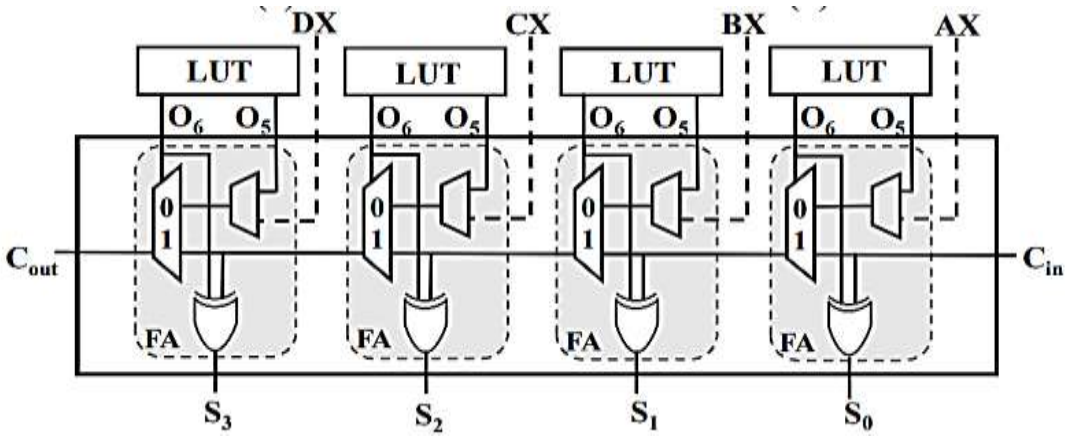
$$s_{5:2} = (x_1 \oplus x_2) \oplus (x_3 \oplus x_4) \oplus x_5 \qquad (1)$$

$$c_{5:2} = x_1x_2 + x_1x_3 + x_1x_4 + x_1x_5 + x_2x_3 + x_2x_4 + x_2x_5 + x_3x_4 + x_3x_5 + x_4x_5 \qquad (2)$$

[1]. Cell Logic Block.
[2]. Full Adder.

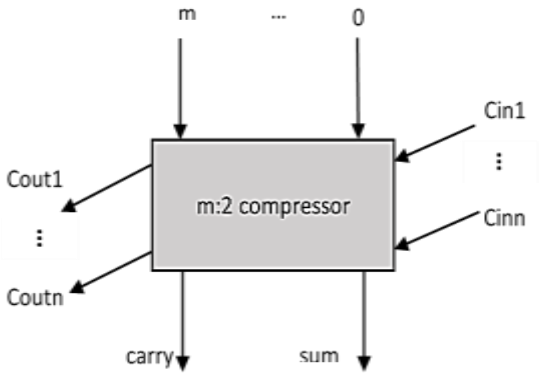


(ب) (الف)

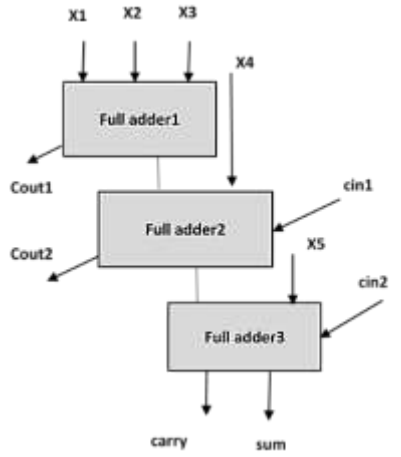


(ج)

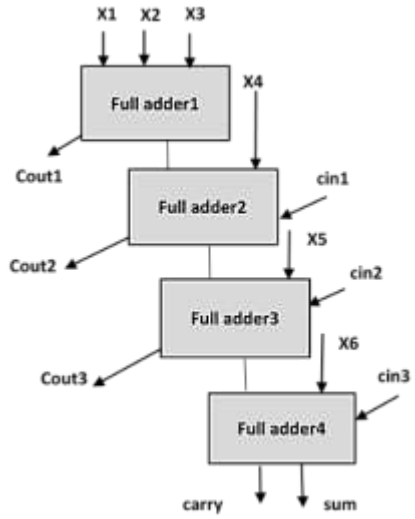
شکل (1): ساختار داخلی LUTها در FPGA ، الف) LUT6 ب) LUT6_2 ج) زنجیره تولید رقم نقلی] ۲۵]



شکل (۲): ساختار کلی یک کمپرسور *m:2*

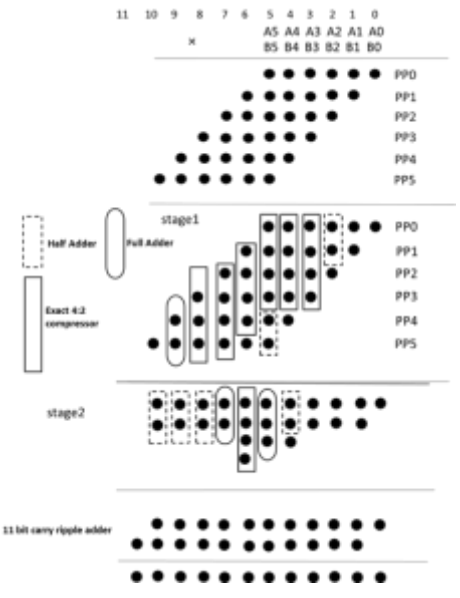


(الف)

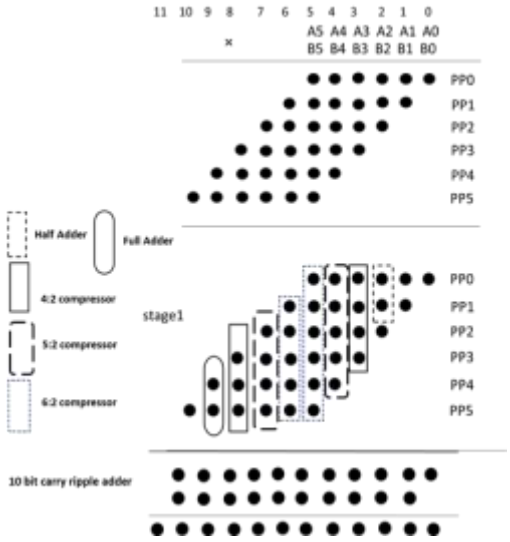


(ب)

شکل (۳): ساختار کلی یک کمپرسور الف) ۵:۲ ب) ۶:۲



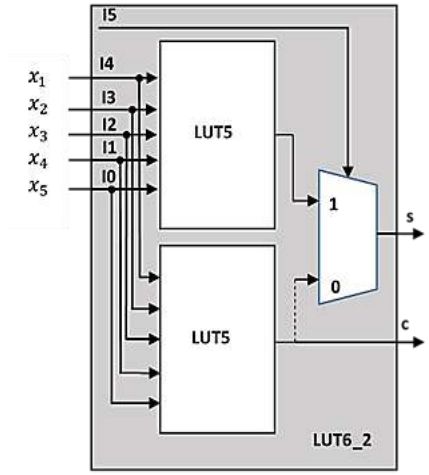
(الف)



(ب)

شکل (۴): الف) مراحل کاهش عمق حاصل‌ضرب‌های جزئی در ضرب‌کننده ۶ بیتی به کمک کمپرسورهای ۴:۲] 18[ب) به کمک کمپرسورهای ۶:۲ و کوچک‌تر

با حذف رقم‌های نقلی کناری و باتوجه‌به روابط (۱) و (۲) می‌توان هر دو خروجی را از یک LUT6_2 مطابق با شکل ۵ به دست آورد. روابط (۳) و (۴) نحوه‌ی محاسبه‌ی خروجی‌های S و C را در مدار کمپرسور ۶:۲ تقریبی پیشنهادی نشان می‌دهند.



شکل (۵): ساختار LUT6_2 در کمپرسور۵:۲ تقریبی پیشنهادی

$$s_{6:2} = (x_1 \oplus x_2) \oplus (x_3 \oplus x_4) \oplus (x_5 \oplus x_6) \quad (3)$$

$$c_{6:2} = x_1x_2 + x_1x_3 + x_1x_4 + x_1x_5 + x_1x_6 + x_2x_3 + x_2x_4 + x_2x_5 + x_2x_6 + x_3x_4 + x_3x_5 + x_3x_6 + x_4x_5 + x_4x_6 + x_5x_6 \quad (4)$$

در کمپرسور ۶:۲ تقریبی پیشنهادی به دلیل داشتن ۶ ورودی مختلف نمی‌توان توابع S و C را در یک LUT6_2 به دست آورد و لازم است که از دو LUT6 مجزا استفاده کرد.

برای ارزیابی میزان خطای اعمال شده به کمپرسورهای پیشنهادی از معیار فاصله خطا (Error Distance) استفاده شد که مطابق با رابطه (۵) محاسبه می‌شود[۲۲] :

$$ED(a,b) = |a-b| = \left|\sum_i [a_i] * 2^i + \sum_j [b_j] * 2^j\right| \qquad (۵)$$

که دراین‌رابطه a و b به ترتیب مقادیر دقیق و تقریبی، پارامترهای i و j وزن بیتی اعداد در مبنای دو هستند. جداول ۱ و ۲ میزان فاصله خطا را برای دو کمپرسور تقریبی پیشنهادی نشان می‌دهند. در این جداول فقط سطرهایی که دارای خطا بودند، نشان داده شده‌اند.

۴- مقایسه و ارزیابی مدار پیشنهادی

همان‌گونه که در بخش مقدمه ذکر شد، در پیاده‌سازی ضرب‌کننده‌ها اغلب از کمپرسورهای ۴:۲ و یا مدارهای ضرب بلوکی پایه مانند ضرب‌کننده‌ی ۴ بیتی استفاده می‌شود. این مدارها در پیاده‌سازی ضرب‌کننده‌های ضریبی از ۸ معمولاً به‌صورت بهینه عمل می‌کنند. ولی ضرب‌کننده‌های ۶ یا ۱۲ بیتی نیز در پردازش سیگنال کاربردهایی دارند که استفاده از روش به‌کاررفته در پیاده‌سازی ضرب‌کننده‌های ضریبی از ۸، نمی‌تواند بهینه باشد. در شکل ۴ نشان داده شد که استفاده از کمپرسورهای بزرگ‌تر می‌تواند تعداد مراحل کاهش عمق را در ضرب‌کننده ۶ بیتی کمتر کند و در مقابل تأخیر بیشتری دارد.

جدول (1): فاصله خطای کمپرسور تقریبی ۵:2 پیشنهادی

مقدار	X_5	X_4	X_3	X_2	X_1	C	S	ED
۱۵	۰	۱	۱	۱	۱	۱	۰	۲
۲۳	۱	۰	۱	۱	۱	۱	۰	۲
۲۷	۱	۱	۰	۱	۱	۱	۰	۲
۲۹	۱	۱	۱	۰	۱	۱	۰	۲
۳۰	۱	۱	۱	۱	۰	۱	۰	۲

جدول (۲): فاصله خطای کمپرسور تقریبی ۶:2 پیشنهادی

مقدار	X_6	X_5	X_4	X_3	X_2	X_1	C	S	ED
۱۵	۰	۰	۱	۱	۱	۱	۱	۱	۱
۲۳	۰	۱	۰	۱	۱	۱	۱	۱	۱
۲۷	۰	۱	۱	۰	۱	۱	۱	۰	۲
۲۹	۰	۱	۱	۱	۰	۱	۱	۰	۲
۳۰	۰	۱	۱	۱	۱	۰	۱	۰	۲
۳۱	۰	۱	۱	۱	۱	۱	۱	۱	۲
۳۹	۱	۰	۰	۱	۱	۱	۱	۰	۲
۴۳	۱	۰	۱	۰	۱	۱	۱	۰	۲
۴۵	۱	۰	۱	۱	۰	۱	۱	۰	۲
۴۶	۱	۰	۱	۱	۱	۰	۱	۰	۲
۴۷	۱	۰	۱	۱	۱	۱	۱	۱	۲
۵۱	۱	۱	۰	۱	۱	۰	۱	۰	۲
۵۳	۱	۱	۰	۱	۱	۰	۱	۰	۲
۵۴	۱	۱	۰	۱	۱	۰	۱	۰	۲
۵۵	۱	۱	۰	۱	۱	۱	۱	۱	۲
۵۷	۱	۱	۱	۰	۰	۱	۱	۰	۲
۵۸	۱	۱	۰	۱	۰	۱	۱	۰	۲
۵۹	۱	۱	۰	۱	۱	۱	۱	۱	۲
۶۰	۱	۱	۱	۰	۱	۰	۱	۰	۲
۶۱	۱	۱	۱	۰	۱	۱	۱	۱	۲
۶۲	۱	۱	۱	۱	۰	۱	۱	۰	۲
۶۳	۱	۱	۱	۱	۱	۱	۱	۰	۴

در این بخش مقایسه و ارزیابی مدار پیشنهادی از لحاظ کیفی و کمی انجام شده است. ابتدا ارزیابی معیارهای کارایی مدار صورت‌گرفته و سپس میزان خطای مدار پیشنهادی اندازه‌گیری شده و در انتها عملکرد آن در یادگیری ماشینی بررسی شده است.

۴-۱. مقایسه و ارزیابی کارایی

کمپرسورهای تقریبی پیشنهادی برای بررسی کارایی در مدار ضرب ۶ بیتی به کار گرفته شدند. لازم به ذکر است که برای جلوگیری از کاهش کیفیت خروجی مدار ضرب تقریبی، در مرحله کاهش عمق، فقط در بخش بیت‌های کم‌ارزش‌تر یعنی ستون‌های 0 تا 5 از مدارهای تقریبی استفاده شده و در سایر ستون‌ها فقط مدارهای دقیق به‌کاررفته است[۲] .

ابتدا کد VHDL مدار ضرب ۶ بیتی دقیق به کمک کمپرسورهای ۶:۲ و کوچک‌تر و مدار ضرب تقریبی مبتنی بر شکل ۴، در هر دو حالت الف و ب نوشته شد. سپس در ابزار Vivado بر روی برد Zedboard Zynq از خانواده‌ی Zynq 7000 قرار گرفت. مدل مورد استفاده در این تحقیق، برد (XC7Z020clg484-1) Zynq-7000 است. تعداد پین‌های ورودی و خروجی 484 عدد و Board rev برابر ۱/۰ و تعداد IOB[8]های موجود برابر 200 است. تعداد LUTها 53200، تعداد فلیپ‌فلاپ‌ها، 106400، بلوک‌های 140 و DSPها هم 220 تاست.

در سنتز از حالت پیش‌فرض ابزار *Vivado* استفاده شد که بهترین نگاشت را برای گیت‌ها ایجاد نمود. زیرا دو حالت دیگر آن یعنی

[8]. Input/output block.

performance و بهترین تأخیر، نتایج متفاوتی نشان نداد. همچنین پالس ساعت برای شروع کار روی مقدار *5ns* تنظیم شد. جهت بررسی شرایط محیطی مختلف، آزمایش‌های متعددی صورت گرفت. تغییرات دمایی بررسی شدند و تأثیری در خروجی مدار نداشتند. البته تغییر دما در بازه‌ی ۰ تا ۸۰ درجه سلسیوس صورت گرفت؛ ولی دمای بالاتر منجر به افزایش توان ناگهانی شد. از طرفی تغییر ولتاژ ورودی (Vcc in) در بازه‌ی ۰.۹۵ تا ۱.۵ ولت قابل‌تغییر بود که به طور مشابه با تغییر دما، تأثیر چندانی نداشت و صرفاً باعث نوسان توان روی برد شد. لازم به ذکر است که برای مقایسه عادلانه در پیاده‌سازی حالت الف از شکل ۴، از بهترین کمپرسور تقریبی ۴:۲ استفاده شد [۱۸] . جدول ۳ مقادیر تعداد LUTهای مورد استفاده، توان مصرفی پویا و تأخیر را در مدار ضرب 6 بیتی دقیق، مدار پیشنهادی و مدار ضرب 6 بیتی مبتنی بر کمپرسورهای ۴:۲، ۵:۲ و ۶:۲ نشان می‌دهد. در مقایسه با مدار دقیق، به ترتیب 50، 50 و 25 درصد در تعداد LUT، توان مصرفی پویا و تأخیر بهبود ایجاد شده است. همچنین در مقایسه با سایر کارهای موجود، مدارهای تقریبی ارائه شده در هر سه معیار بهتر عمل کرده است. ستون آخر در جدول ۳ معیار حاصل‌ضرب توان، تأخیر و مساحت (ADP) است.

۴-۲. مقایسه و ارزیابی دقت

در سال‌های اخیر، معیارهای مختلفی برای ارزیابی ویژگی‌های خطای مدارهای تقریبی پیشنهاد شده است. در بخش ۳، معیار *ED* معرفی شد. معیار *ER*[9] به‌احتمال وقوع یک خروجی نادقیق اشاره می‌کند. یکی دیگر از معیارهای ارزیابی دقت، فاصله خطای نسبی[10] (*RED*) است که از رابطه $RED = ED / b$ به دست می‌آید و میانگین *RED* به‌صورت زیر تعریف می‌شود [۲] :

$$MRED = \frac{1}{N}\sum_{i=1}^{N} RED_i \qquad (۶)$$

که دراین‌رابطه، N تعداد کل حالات تست شده است. دو معیار *MED* و *NMED* به ترتیب از روابط ۷ و ۸ محاسبه می‌شوند [۲] :

$$MED = \frac{1}{2^{2N}}\sum_{i=1}^{2^{2N}} |ED_i| \qquad (۷)$$

$$NMED = {MED}/{D} \qquad (۸)$$

برای ارزیابی معیارهای خطای مدار پیشنهادی با استفاده از زبان برنامه‌نویسی پایتون[11]، برنامه‌ای نوشته شد که ابتدا نتایج حاصل از خروجی تمام 2^{12} حالت ورودی مدار ضرب ۶ بیتی را برای هر دو حالت دقیق و تقریبی محاسبه کرد. در مرحله بعد، برنامه دیگری نوشته شد که این نتایج را به‌عنوان ورودی دریافت کند و پارامترهای معرفی‌شده در مرحله قبل (*ER*، *MRED*، *MED* و *NMED*) را به‌عنوان خروجی محاسبه نماید. جدول 4 مقدار معیارهای خطا را برای هر همه‌ی مدارهای ضرب ۶ بیتی بررسی شده در جدول ۳ نشان می‌دهد. در جدول ۴ فقط شماره مراجعی ذکر شده و مدار مربوطه مطابق با سطرهای جدول ۳ است. مطابق جدول 4، مدار پیشنهادی در معیارهای خطا نتایج قابل‌قبولی ارائه داده است که برای مقایسه بهتر مقایسه‌های کیفی و دقت در شکل‌های ۶ و ۷ کنار هم قرار گرفته‌اند تا جایگاه مدار پیشنهادی را در مقایسه با کارهای موجود بهتر نشان دهد. در این شکل‌ها، محور عمودی به ترتیب معیارهای NMED و MRED هستند و محور افقی حاصل-ضرب تأخیر، توان و تعداد LUTها (ADP) است. مطابق شکل ۶، روش پیشنهادی در سمت چپ شکل قرار گرفته که نشان‌دهنده‌ی بهبود در معیارهای کیفی (ADP) بوده و در معیار NMED ۱درصد بدتر از مدار ارائه شده در [۲۷] و [۱۸] است. در شکل ۷، باز هم روش پیشنهادی در دسته روش‌های با بهبود معیارهای کیفی قرار گرفته و در معیار MRED اندکی (2×10^{-2}) بدتر از مدار ارائه شده در [۲۷] است.

جدول (3): مقایسه و ارزیابی معیارهای کارایی مدار پیشنهادی با مدارهای موجود تقریبی و دقیق

نوع مدار	تعداد LUT	توان مصرفی پویا (*mW*)	تأخیر (*ns*)	ADP
ضرب‌کننده دقیق با کمپرسورهای ۶:۲	۶۰	۲	۵/۳۷	۶۴۴/۴
ضرب‌کننده تقریبی پیشنهادی	۳۰	۱	۴/۰۳	۱۲۰/۹
ضرب‌کننده تقریبی با کمپرسورهای ۴:۲ [۱۸]	۵۳	۲	۴/۲۲	۴۴۷/۳
ضرب‌کننده تقریبی با کمپرسورهای ۴:۲ [۲۶]	۴۳	۶	۴/۸	۱۲۳۸/۴
ضرب‌کننده تقریبی با کمپرسورهای 5:2 و xor-or [۲۲]	۵۲	۶	۴/۳۵	۱۳۵۷/۲
ضرب‌کننده تقریبی با کمپرسورهای 5:۲ و mux-or [۲۲]	۵۲	۵	۴/۳۴	۱۱۲۸/۴
ضرب‌کننده تقریبی با کمپرسورهای 6:۲ [۲۷]	۳۵	۱	۴/۰۴	۱۴۱/۴

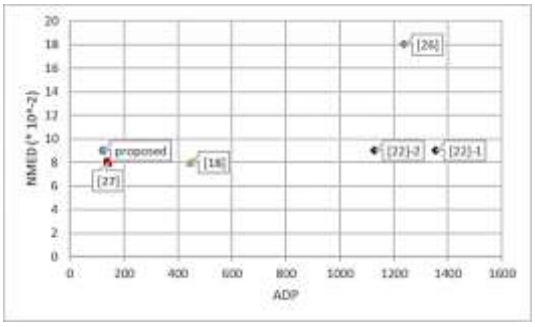
جدول (4): مقایسه و ارزیابی معیارهای خطای مدار پیشنهادی با مدارهای موجود تقریبی

	Error Rate (%)	*MED*	*NMED* $\times 10^{-2}$	*MRED* $\times 10^{-2}$
مدار پیشنهادی	۹۷/۶۰	۳۵۶/۶	۹	۲۹
[۱۸]	۹۰/۳۵	۲۸۲/۲	۸	۸۲
[۲۶]	۹۹/۳۶	۷۴۹/۱	۱۸	۵۵
[۲۲ -۱]	۹۷/۶۰	۳۶۲/۲	۹	۳۱
[۲۲ -۲]	۹۸/۰۹	۳۶۵	۹	۳۲
[۲۷]	۹۶/۲	۳۵۲/۵	۸	۲۷

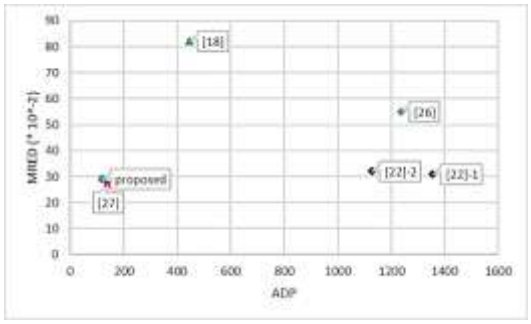
۴-۲. ارزیابی مدار پیشنهادی در یادگیری ماشینی

ضرب‌کننده‌ها در کاربردهایی مانند پردازش سیگنال، ویدئو، رمزنگاری اطلاعات و الگوریتم‌های یادگیری ماشینی استفاده

[9]. Error Rate.
[10]. Relative Error Distance.
[11]. Python.



شکل (۶): مقایسه نسبی NMED-PDP روش پیشنهادی با کارهای قبلی



شکل (۷): مقایسه نسبی MRED-PDP روش پیشنهادی با کارهای قبلی

می‌شوند و نقش بسیار پررنگی در کیفیت خروجی آن‌ها دارند. در این بخش مدار ضرب ۶ بیتی پیشنهادی در یک مدل یادگیری.

ماشینی با الگوریتم شبکه عصبی پیش‌رو[12] با دولایه مخفی استفاده شده تا میزان خطای ایجاد شده در خروجی آن اندازه‌گیری شود. نتایج عددی مدل تقریبی پیشنهادی با مدار عملیات ضرب شبکه عصبی جایگزین شد تا میزان منابع مصرفی، شامل LUT، تأخیر و توان مصرفی اندازه‌گیری شود. در این بخش از دو دیتاست رگرسیون و تشخیص لبه[13] که شامل 1000 نمونه ورودی است، استفاده شد. جدول 5 نتایج حاصل از مقایسه و ارزیابی کارایی مدار پیشنهادی را در مدل یادگیری ماشینی نشان می‌دهد. مطابق این جدول، در مقایسه باحالت دقیق، مدار پیشنهادی در هر سه معیار توان مصرفی، تعداد LUT و تأخیر بهبود داشته است. همچنین برای ارزیابی میزان کاهش دقت ابتدا در نرم‌افزار متلب[14] میزان دقت محاسباتی شبکه عصبی ۹۹/۶۰ درصد، اندازه‌گیری شد. سپس بخش ضرب در شبکه عصبی با مدل تقریبی پیشنهادی، جایگزین شد. در این قسمت، از 10000 نمونه داده رگرسیون و تشخیص لبه استفاده شد و مقایسه نتایج نشان می‌دهد که میزان خطا برای کاربرد در رگرسیون در بهترین حالت ۰/۰۴درصد و در بدترین حالت 0/27 درصد بوده که به طور میانگین دارای 0/12 درصد خطاست و برای کاربرد تشخیص لبه در بهترین حالت ۰/۰2درصد، در بدترین حالت 0/32 درصد و به طور میانگین 0/11 درصد خطا داشته است که مقدار قابل‌قبولی در کاربردهای یادگیری ماشینی است. ازآنجایی‌که در مدل یادگیری ماشینی از داده‌های تصادفی در ورودی استفاده شد، جهت تحلیل خطا از آزمون t-test کمک گرفته شد. خروجی‌های مدار در دو حالت دقیق و تقریبی با هم مقایسه شدند و نتایج آزمون نشان داد که با اطمینان ۸۶درصد می‌توان ادعا کرد که نتایج در مقایسه با مدل دقیق تفاوت معنی‌داری ندارد.

جدول (5): مقایسه و ارزیابی مدار پیشنهادی در کاربرد یادگیری ماشینی

		تعداد LUT	توان مصرفی پویا (MW)	تأخیر (ns)
مدار دقیق با کمپرسورهای 6:2	رگرسیون خطی	۳۹۵	۳/۷۳	۱۳/۸۲
	تشخیص لبه	۶۷۸	۲/۱	۷/۷
مدار پیشنهادی	رگرسیون خطی	۳۳۲	۳/۳	۱۱/۴
	تشخیص لبه	۶۵۲	۱/۷	۶/۱۵

۵- نتیجه‌گیری

در این مقاله کمپرسورهای تقریبی ۵:۲ و ۶:۲ پیشنهاد شده‌اند که در عمل کاهش عمق حاصل‌ضرب‌های جزئی در مدار ضرب ۶ بیتی قابل استفاده‌اند. کدنویسی مدار پیشنهادی به زبان VHDL انجام شد و در ابزار Vivado بر روی برد Zedboard Zynq از خانواده‌ی Zynq 7000 مدل XC7Z020clg484-1 قرار گرفت. نتایج سنتز مدار پیشنهادی نشان می‌دهد که در تأخیر، توان مصرفی پویا و تعداد LUT به ترتیب ۲۵، 50 و ۵۰ درصد بهبود در مقایسه با ضرب‌کننده ۶ بیتی دقیق داشته که از کمپرسورهای ۴:۲ استفاده کرده است. در ارزیابی دقت، به کمک برنامه نوشته شده به زبان پایتون و مقایسه خروجی‌ها در دو حالت دقیق و تقریبی نشان داده شد که در معیارهای $NMED$ و $MRED$ به ترتیب ۱ و ۰.۰۲ درصد بدتر از بهترین مدار قبلی موجود عمل کرده و درعین‌حال در مقایسه با همان مدار ۱۴ درصد بهبود کارایی در معیار ADP داشته است. در ارزیابی کیفی ضرب‌کننده پیشنهادی به کمک متلب نشان داده شد که میزان خطای اضافه‌شده به مدل یادگیری ماشینی مبتنی بر شبکه عصبی پیش‌خور به طور میانگین 0/12 و ۰/۱۱ درصد به ترتیب در رگرسیون خطی و تشخیص لبه افزایش خطا ایجاد شده که در چنین کاربردهایی قابل‌قبول است. برای تحلیل دقت در ورودی‌های تصادفی اعمال‌شده به مدل یادگیری ماشینی از آزمون t-test استفاده شد و با اطمینان ۸۶درصد می‌توان ادعا کرد که نتایج در مقایسه با مدل دقیق تفاوت معنی‌داری ندارند.

۶- مراجع

1. M. Ghafari, H. Abdoli, and M. Abbasi, “Speeding up the execution-time of Crystals-Kyber PQC Algorithm on FPGA,” Electronic and Cyber Defense, vol. 10, no. 4, pp. 101–110, 2023. [Online]. Available: https://dor.isc.ac/dor/20.1001.1.23224347.1401.10.4.11.1.

2. M. B. Dehkordi and H. Ahmadifar, “A new approximate 8:2 compressor for image processing applications,” IETE J. Res., Feb. 2023, doi: 10.1080/03772063.2023.2171915.

[12]. Feed Forward.
[13]. Edge detection.
[14]. Matlab.

3. A. M. Dalloo, A. J. Humaidi, A. K. Al Mhdawi, and H. Al-Raweshidy, "Approximate computing: Concepts, architectures, challenges, applications, and future directions," IEEE Access, vol. 12, pp. 146022–146088, 2024, doi: 10.1109/ACCESS.2024.3467375.

4. S. Ullah et al., "Area-optimized low-latency approximate multipliers for FPGA-based hardware accelerators," in Proc. 55th Annu. Design Autom. Conf. (DAC), San Francisco, CA, USA, 2018, pp. 1–6, doi: 10.1145/3195970.3195996.

5. N. V. Toan and J.-G. Lee, "Energy-area-efficient approximate multipliers for error-tolerant applications on FPGAs," in Proc. 32nd IEEE Int. Syst.-on-Chip Conf. (SOCC), Singapore, 2019, pp. 336–341, doi: 10.1109/SOCC46988.2019.1570548202.

6. N. V. Toan and J.-G. Lee, "FPGA-based multi-level approximate multipliers for high-performance error-resilient applications," IEEE Access, vol. 8, pp. 25481–25497, 2020, doi: 10.1109/ACCESS.2020.2970968.

7. C. Niemann, M. Rethfeldt, and D. Timmermann, "Approximate multipliers for optimal utilization of FPGA resources," in Proc. 24th Int. Symp. Design Diagn. Electron. Circuits Syst. (DDECS), Vienna, Austria, 2021, pp. 23–28, doi: 10.1109/DDECS52668.2021.9417027.

8. S. Yao and L. Zhang, "Hardware-efficient FPGA-based approximate multipliers for error-tolerant computing," *in* Proc. Int. Conf. Field-Programmable Technol. (ICFPT), Hong Kong, 2022, pp. 1–8, doi: 10.1109/ICFPT56656.2022.9974399.

9. Y. Guo, X. Chen, Q. Zhou, and H. Sun, "Power-efficient and small-area approximate multiplier design with FPGA-based compressors," in Proc. IEEE Int. Symp. Circuits Syst. (ISCAS), Singapore, 2024, pp. 1–5, doi: 10.1109/ISCAS58744.2024.10558590.

10. M. Taheri, A. Arasteh, S. Mohammadyan et al., "A novel majority based imprecise 4:2 compressor with respect to the current and future VLSI industry," Microprocess. Microsyst., vol. 73, Dec. 2020, Art. no. 102962, doi: 10.1016/j.micpro.2019.102962.

11. A. Momeni, J. Han, P. Montuschi, and F. Lombardi, "Design and analysis of approximate compressors for multiplication," IEEE Trans. Comput., vol. 64, no. 4, pp. 984–994, Apr. 2015, doi: 10.1109/TC.2014.2308214.

12. Z. Yang, J. Han, and F. Lombardi, "Approximate compressors for error-resilient multiplier design," in Proc. IEEE Int. Symp. Defect Fault Tolerance VLSI Nano Syst., Amherst, MA, USA, Oct. 2015, pp. 183–186, doi: 10.1109/DFT.2015.7315159.

13. D. Esposito, A. G. M. Strollo, E. Napoli, D. De Caro, and N. Petra, "Approximate multipliers based on new approximate compressors," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 65, no. 12, pp. 4169–4182, Dec. 2018, doi: 10.1109/TCSI.2018.2839266.

14. S. Venkatachalam and S.-B. Ko, "Design of power and area efficient approximate multipliers," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 25, no. 5, pp. 1782–1786, May 2017, doi: 10.1109/TVLSI.2016.2643639.

15. O. Akbari, M. Kamal, A. Afzali-Kusha, and M. Pedram, "Dual-quality 4:2 compressors for utilizing in dynamic accuracy configurable multipliers," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 25, no. 4, pp. 1352–1361, Apr. 2017, doi: 10.1109/TVLSI.2016.2643003.

16. M. Ahmadinejad, M. H. Moaiyeri, and F. Sabetzadeh, "Energy and area efficient imprecise compressors for approximate multiplication at nanoscale," AEU-Int. J. Electron. Commun., vol. 110, Oct. 2019, Art. no. 152859, doi: 10.1016/j.aeue.2019.152859.

17. G. Park, J. Kung, and Y. Lee, "Design and analysis of approximate compressors for balanced error accumulation in MAC operator," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 68, no. 7, pp. 2950–2961, Jul. 2021, doi: 10.1109/TCSI.2021.3073177.

18. A. G. M. Strollo, E. Napoli, D. De Caro, N. Petra, and G. D. Meo, "Comparison and extension of approximate 4:2 compressors for low-power approximate multipliers," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 67, no. 9, pp. 3021–3034, Sep. 2020, doi: 10.1109/TCSI.2020.2988353.

19. F.-Y. Gu, I.-C. Lin, and J.-W. Lin, "A low-power and high-accuracy approximate multiplier with reconfigurable truncation," IEEE Access, vol. 10, pp. 60447–60458, May 2022, doi: 10.1109/ACCESS.2022.3179112.

20. S. S. Deepsita, T. Karthikeyan, and S. N. Mahammad, "Energy efficient multiply-accumulate unit using novel recursive multiplication for error-tolerant applications," Integration, vol. 92, pp. 24–34, Sep. 2023, doi: 10.1016/j.vlsi.2023.04.006.

21. M. Zhang, S. Nishizawa, and S. Kimura, "Area efficient approximate 4-2 compressor and probability-based error adjustment for approximate multiplier," IEEE Trans. Circuits Syst. II, Express Briefs, vol. 70, no. 5, pp. 1714–1718, May 2023, doi: 10.1109/TCSII.2023.3257852.

22. A. Noori, M. Aminian, and H. Ahmadifar, "A new approximate 5:2 compressor for high accuracy 8-bit MAC design," IETE J. Res., 2025, doi: 10.1080/03772063.2025.2495823.

23. H. Son, H. Jung, and Y.-C. Jang, "A 1-kS/s 12-bit SAR ADC with burst conversion for anti-leakage current," IEEE Access, vol. 12, pp. 176094–176103, 2024, doi: 10.1109/ACCESS.2024.3505990.

24. S. Ibrahim, A. M. Abbas, A. A. Alharbi, and M. A. Albahar, "A new 12-bit chaotic image encryption scheme using a 12 × 12 dynamic S-box," IEEE Access, vol. 12, pp. 37631–37642, 2024, doi: 10.1109/ACCESS.2024.3374218.

25. Xilinx, 7 Series FPGAs Configurable Logic Block User Guide, [Online]. Available: https://www.xilinx.com/support/documentation/user_guides/ug474_7Series_CLB.pdf.

26. U. A. Kumar, S. K. Chatterjee and S. E. Ahmed, "Low-Power Compressor-Based Approximate Multipliers With Error Correcting Module," in IEEE Embedded Systems Letters, vol. 14, no. 2, pp. 59-62, June 2022, doi: 10.1109/LES.2021.3113005.

27. Y. Guo, H. Sum. L. Guo, Sh. Kimaru, " Low-Cost Approximate Multiplier Design using Probability-Driven Inexact Compressors," 2018 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), doi:10.1109/APCCAS.2018.8605570.