

طراحی بهینه مدولاتور سیگما دلتای S-MASH کم-توان و دقت بالا با ساختار STF واحد

برای کاربردهای مخابراتی

مهدی تقی‌زاده^۱، سیروس صدوقی^{۲*}، محمد شریف‌خانی^۳

۱- دانشجوی دکتری، دانشگاه آزاد اسلامی واحد علوم و تحقیقات، تهران، ایران ۲- استادیار، ۳- دانشیار، دانشگاه صنعتی شریف (دریافت: ۹۷/۰۱/۰۹، پذیرش: ۹۷/۰۷/۲۱)

چکیده

با توجه به اهمیت پردازش سیگنال در حوزه دیجیتال، بهبود عملکرد سخت‌افزاری سامانه‌های فرستنده-گیرنده ارتباطی به‌خصوص در بخش نظامی، در گرو طراحی مناسب مبدل‌هایی است که عمل تبدیل سیگنال از حوزه آنالوگ به دیجیتال و بالعکس را انجام می‌دهند. در این مقاله، یک روش جدید برای افزایش دقت و سرعت مدولاتور یک مبدل آنالوگ به دیجیتال سیگما دلتا با ساختار چندطبقه شکل‌دهی-نویز مقاوم (S-MASH) ارائه می‌شود. به‌علت اینکه هر طبقه حلقه مدولاتور در ساختار پیشنهادی، دارای تابع تبدیل سیگنال واحد (Unity-STF) است، مدولاتور نسبت به اثرات غیرایده‌آل مداری مانند بهره محدود تقویت‌کننده و عدم تطابق ضرایب مسیره‌ها، مقاوم خواهد بود. همچنین، به‌خاطر انتقال تاخیر هر طبقه فیلتر حلقه مدولاتور به درون مسیر فیدبک خودش، مشکل زمان‌بندی پردازش سیگنال در مسیره‌های بحرانی ساختار پیشنهادی، برطرف شده است. از طرفی این کار باعث می‌شود تا ساختار S-MASH با STF واحد ارائه‌شده با بلوک‌های فعال کمتری پیاده‌سازی شود که مطلوب کاربردهای سرعت بالا و کم‌توان نظیر سامانه‌های ارتباطی می‌باشد. نتایج شبیه‌سازی‌ها موثر بودن این ساختار پیشنهادی را نشان می‌دهد. از آنجا که پردازش اطلاعات مقوله مهمی در حوزه مدیریت و جلوگیری از بحران می‌باشد بنابراین، طراحی صورت‌گرفته قابل استفاده در ابزار و تجهیزات سخت‌افزاری الکترونیکی مرتبط با این حوزه خواهد بود.

واژه‌های کلیدی: مدولاتور سیگما-دلتا، S-MASH، STF واحد، توپولوژی کم-عوجاج

۱- مقدمه

اصلی مبدل سیگما دلتا مد نظر قرار گرفت. امروزه تقاضای فراوانی برای مدولاتوری با سرعت و دقت بالاتر بدون آن‌که توان مصرفی آن افزایش قابل ملاحظه‌ای داشته باشد، وجود دارد. به‌خاطر آنکه نرخ نمونه‌برداری در کاربردهای باند وسیع کاهش می‌یابد، دقت مدولاتور نیز کاهش می‌یابد. بنابراین، برای جبران دقت، روی ساختار و مرتبه مدولاتور تمرکز می‌شود.

امروزه پردازش اطلاعات و علائم محیطی اساس جلوگیری از بحران و نیز پدافند غیرعامل می‌باشد [۱]. الگوریتم‌های پردازش سیگنال در حوزه دیجیتال، توسط سامانه‌های الکترونیکی، به‌علی‌همچون کیفیت بالاتر، انعطاف‌پذیری بیشتر و قابلیت فشرده‌سازی و رمزنگاری، با کارایی بالاتری نسبت به حوزه آنالوگ پیاده‌سازی می‌شوند.

یک انتخاب مرسوم برای طراحی یک مدولاتور سیگما-دلتا با عملکرد مورد نظر، به‌کارگیری ساختار تک طبقه مرتبه بالا با یک کوانتایزر تک بیتی در فیلتر حلقه مدولاتور است. اما مشکل این ساختار، احتمال ناپایداری حلقه است. می‌توان با استفاده از کوانتایزر چند بیتی تا حدودی حاشیه پایداری را افزایش داد ولی مبدل دیجیتال به آنالوگ (DAC) چند بیتی مسیر فیدبک حلقه، نیاز به یک بلوک تصحیح‌کننده رفتار غیرخطی دارد. لذا زمانبندی انجام کار در این مسیر دچار محدودیت می‌شود.

مبدل‌های ADC به‌عنوان بلوک اساسی در تبدیل سیگنال از حوزه آنالوگ به دیجیتال در اکثر سامانه‌های ارتباطی نسل جدید، نیاز به سرعت انتقال داده بیشتر و دقت بالاتری برای آشکارسازی سیگنال‌های ورودی کوچک دارند. مبدل‌های سیگما-دلتا به‌خاطر ایمنی ذاتی شان به اثرات غیر ایده‌آلی، برای کاربردهای دقت بالا مناسب می‌باشند [۲]. در این مقاله، طراحی مدولاتور به‌عنوان هسته

همچنان گلوگاه سرعت است و سرعت تبدیل داده را پایین می‌آورد. همچنین ساختار طراحی شده تعداد مسیرها و ضرایب زیادی دارد که پیاده‌سازی آنرا پیچیده می‌سازد. در [۹ و ۱۸] با تغییر ساختار مدولاتور DNC S-MASH، با اضافه کردن بلوک‌های دیجیتال، امکان به‌کارگیری توپولوژی STF واحد را فراهم کرده اما مشکلی که در آن وجود دارد نیاز به تطبیق بالا بین بخش آنالوگ و دو بلوک دیجیتالی است که برای حذف نویز طبقه اول در خروجی قرار گرفته‌اند.

در این مقاله، برای حل مشکل بیان‌شده، یک ساختار مدولاتور سیگما دلتای جدید S-MASH معرفی می‌شود تا هم خطای کوانتیزاسیون طبقه اول را در خروجی حذف کند و از طرفی، زمان‌بندی انجام کار در مسیر بحرانی فیدبک حلقه مدولاتور راحت‌تر شود که این کار با اعمال آرایش کم-اعوجاج بهبود یافته در هر طبقه مدولاتور صورت می‌گیرد.

در ادامه، بر روی ساختار مدولاتور سیگما-دلتای طراحی‌شده بحث می‌شود. در بخش سوم، شبیه‌سازی‌های سیستمی صورت گرفته توضیح داده می‌شود. در بخش چهارم، پیاده‌سازی مداری مدولاتور به‌طور خلاصه بیان می‌شود. در نهایت نتایج شبیه‌سازی و جمع‌بندی آن آورده می‌شود.

۲- ساختار مدولاتور سیگما-دلتای S-MASH مرسوم و مشکلات آن

شکل (۱- الف) ساختار یک مدولاتور سیگما دلتای متداول S-MASH را نشان می‌دهد [۳]. L_{ni} و L_{si} به ترتیب تابع فیلتر حلقه سیگنال ورودی و نویز در هر طبقه می‌باشند. با توجه به مدل مفهومی رسم‌شده برای ساختار S-MASH در شکل (۱- ب)، خروجی مدولاتور با رابطه زیر به دست می‌آید:

$$Y(z) = STF_1 X(z) - NTF_1 NTF_2 E_{q2}(z) + NTF_1 (1 - STF_2) E_{q1}(z) \quad (1)$$

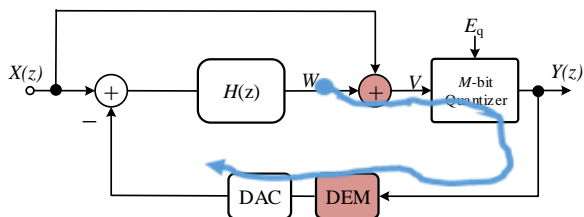
که در آن، STF_1 و NTF_1 به ترتیب تابع تبدیل سیگنال و نویز طبقه i در حوزه تبدیل z هستند. همچنین E_{q1} و E_{q2} خطای کوانتیزاسیون مربوط به طبقه اول و طبقه دوم مدولاتور می‌باشند. همان‌طور که در (۱) مشخص است، خطای کوانتیزاسیون طبقه دوم، E_{q2} به وسیله NTF کل مدولاتور (همانند آنچه در نوع MASH انجام می‌شود) فیلتر می‌گردد. اما در سمت راست رابطه (۱) یک جمله اضافه وجود دارد که نشان می‌دهد خطای کوانتیزاسیون طبقه اول در خروجی حذف نمی‌شود اما به اندازه $NTF_1 (1 - STF_2)$ فیلتر می‌شود. این کار

انتخاب دیگر، مدولاتور سیگما دلتای چند طبقه شکل‌دهی نویز (MASH) است که مشکل پایداری مربوط به نوع تک طبقه مرتبه بالا را از بین می‌برد. اما مدولاتورهای MASH نسبت به نشت نویز کوانتیزاسیون حساس هستند که به علت عدم تطبیق بین بلوک‌های پردازش سیگنال آنالوگ و دیجیتال به وجود می‌آید. لذا جهت حل مشکل، نیازمند تقویت‌کننده‌هایی با بهره بالاتر می‌باشند [۲]. به بیان دیگر مدولاتورهای MASH به انتگرال‌هایی با دقت بیشتر از هم‌نوع خود در ساختار تک طبقه، نیاز دارند تا بتوانند اثر نشت نویز را محدود کنند. اما توان مصرفی در این شرایط افزایش خواهد یافت.

یک ساختار جایگزین برای مدولاتورهای نوع MASH که حساسیت به نشت نویز را کاهش می‌دهد، در [۳] معرفی شده که ساختار MASH مقاوم (S-MASH) نامیده شده است. در این آرایش، طبقه دیجیتالی حذف نویز کوانتیزاسیون که در یک ساختار MASH متداول وجود دارد، برداشته شده و در عوض، کار آن توسط خود طبقه فیلترینگ نویز آنالوگ یا همان فیلتر حلقه و یک بلوک جمع‌کننده دیجیتال در سمت خروجی مدولاتور انجام می‌شود. در واقع در این روش، فیلترینگ آنالوگ به وسیله برگشت دادن خروجی طبقه دوم به درون حلقه طبقه اول و تفریق آن در حوزه دیجیتال از خروجی طبقه اول مدولاتور، صورت می‌گیرد [۳].

مزایای این ساختار نیاز به بهره کمتر در تقویت‌کننده‌ها و کمتر شدن خطای عدم تطبیق ضرایب مسیرها می‌باشد. اما مهم‌ترین مشکل ساختار S-MASH این است که، برخلاف ساختار MASH، نویز کوانتیزاسیون طبقه اول کاملاً در خروجی مدولاتور حذف نمی‌شود و لذا مقدار نسبت سیگنال به نویز کوانتیزاسیون در مقایسه با ساختار MASH کاهش می‌یابد. برای حل این مشکل ساختارهایی نظیر ساختار S-MASH با تابع STF واحد [۴] و مدولاتور S-MASH حذف نویز مبتنی بر تاخیر [۵] معرفی شده‌اند که نویز طبقه اول را حذف کنند. اما این ساختارها در پیاده‌سازی مداری با محدودیت زمان‌بندی در مسیرهای بحرانی شان روبرو می‌شوند. به صورت دیگر زمان لازم برای انجام کار هر قسمت به خصوص مسیر فیدبک اصلی، محدود می‌شود که این شرایط در کاربردهای باند وسیع اثرات خود را نشان می‌دهد. در [۶] با تغییر آرایش ساختار مرجع [۴]، اگر چه مشکل سرعت تبادل سیگنال در مسیر پیش‌خورد را با جایابی بلوک جمع‌کننده تا حدودی حل نموده، اما همچنان مشکل زمانبندی در مسیرهای فیدبک برقرار است. مشکل زمانبندی تا حدودی در [۷] با استفاده از بلوک‌های تاخیر حل شده است اما برعکس مرجع [۶]، بلوک جمع‌کننده قبل از کوانتایزر

آورده شده است. در کاربردهای باند وسیع، برای جبران کاهش OSR، از کوانتایزر چند بیتی استفاده می‌شود. لذا بلوک DAC که در مسیر فیدبک اصلی فیلتر حلقه مدولاتور قرار دارد، به علت رفتار غیرخطی خود نیاز به یک بلوک الگوریتم تطبیق عناصر (DEM) برای طبقه DAC دارد. بنابراین، زمان مورد نیاز برای پردازش سیگنال در مسیر فیدبک به علت خطی‌سازی رفتار DAC، محدود می‌شود. به عبارت دیگر بلوک‌های DAC و DEM که عملکردشان را باید در نصف یک دوره تناوب کلاک نمونه‌برداری انجام دهند، زمان محدودی در اختیار دارند. این مشکل در کاربردهای باند وسیع خود را بیشتر نشان می‌دهد. شکل (۲) این مسیر مشکل‌دار را بهتر نشان می‌دهد. مسیر مشخص شده روی شکل نشان‌دهنده این است که سیگنال W بعد از جمع با ورودی، کوانتیزه شده و توسط مسیر فیدبک و DAC دوباره به آنالوگ تبدیل شده و از ورودی کم می‌شود. این کار در این ساختار باید در یک سیکل کاری انجام شود که مسیر، بدون تاخیر شده و مزایای کم-اعوجاج محقق شود. انجام این کار، زمان‌بندی پردازش سیگنال را سخت می‌کند.



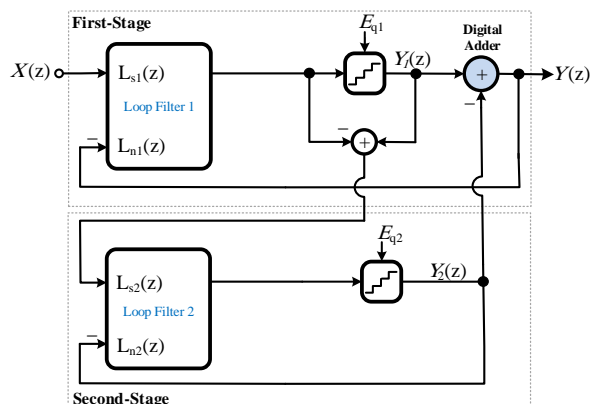
شکل (۲): توپولوژی کم-اعوجاج و مسیر بدون تاخیر آن [۸]

یک چالش دیگری که ساختارهای کم-اعوجاج با آن روبرو هستند جمع‌کننده آنالوگی است که قبل از کوانتایزر نیاز دارند که اغلب پیاده‌سازی آن با یک بلوک فعال (از یک تقویت‌کننده در پیاده‌سازی آن استفاده می‌شود) بدون تاخیر که توان زیادی نیز مصرف می‌کند، انجام می‌شود. قرار گرفتن این بلوک در یک مسیر بدون تاخیر سرعت تبدیل کوانتایزر را نیز محدود می‌کند [۱۰]. به عنوان یک مشکل دیگر در این ساختار، با توجه به مطالب گفته شده، یک مدولاتور مرتبه N با توپولوژی کم-اعوجاج در حالت معمول، نیاز به $N+1$ بلوک فعال دارد.

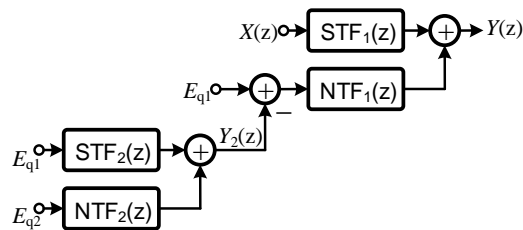
ساختار سیگما دلتای S-MASH مرتبه ۴ پیشنهادی مرجع [۴]، در شکل (۳) آورده شده است. در این شکل $I(z)$ یک بلوک انتگرال‌گیر با تاخیر می‌باشد. بر این اساس رابطه خروجی مدولاتور به صورت زیر خواهد شد:

$$Y(z) = X(z) - (1-z^{-1})^4 E_{q2}(z) \quad (2)$$

توان نویز را در خروجی مدولاتور S-MASH نسبت به یک ساختار MASH متناظر، بیشتر می‌کند. برای کاهش یا حذف اثر E_{q1} در خروجی راه‌کارهایی وجود دارد. انتخاب $NTF_2 = (1-STF_2)$ سبب می‌شود که E_{q1} با همان مرتبه‌ای که E_{q2} فیلتر شده، فیلتر شود. معنی سخن بالا این است که برای داشتن حداقل سطح نویز در خروجی مدولاتور باید تعداد بیت در کوانتایزر طبقه اول کمتر از تعداد بیت کوانتایزر طبقه دوم نباشد تا از کاهش عملکرد خروجی مدولاتور جلوگیری و احتمال ناپایداری کمتر شود.



(الف)

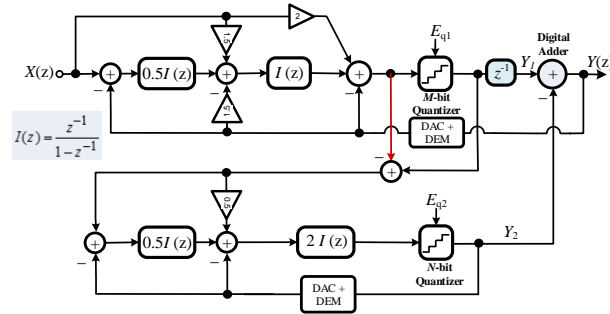


(ب)

شکل (۱): الف) ساختار مدولاتور سیگما-دلتای S-MASH [۳] (ب) مدل مفهومی مدولاتور

اما با روش‌هایی می‌توان خطای E_{q1} را در خروجی کاملاً حذف کرد. برای این کار باید $STF_2=1$ انتخاب گردد. این روش در [۴] استفاده شده، جایی که یک توپولوژی کم-اعوجاج [۸] با STF واحد برای هر طبقه مدولاتور سیگما دلتای S-MASH در نظر گرفته شده است.

در نظر داشته باشید که توپولوژی کم-اعوجاج به علت استفاده از مسیر پیشخورد، باعث کاهش سوئینگ سیگنال در بلوک‌های فیلتر حلقه شده و لذا بهره dc تقویت‌کننده مورد نیاز در خروجی را کاهش می‌دهد [۸]. برای درک بهتر، این ساختار در شکل (۲)



شکل (۴): ساختار مدولاتور S-MASH حذف نویز مبتنی بر تاخیر [۵]

برای حذف E_{q1} در خروجی، باید STF_1 و STF_2 به صورت زیر انتخاب شوند:

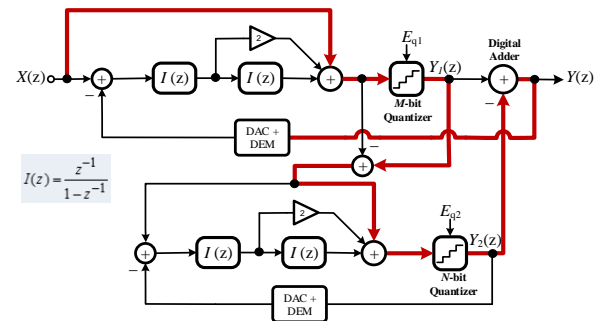
$$STF_1 = 1 - NTF_1 \quad (۴)$$

$$STF_2 = z^{-1} \quad (۵)$$

رابطه‌های (۴) و (۵) برای همه طبقات مدولاتور در شکل (۳) در نظر گرفته می‌شوند. اگرچه با این کار حذف خطای E_{q1} حاصل می‌شود اما انتخاب STF و NTF طبقه اول را برای طراح محدود به حالت‌های خاص می‌کند. از طرفی هیچ یک از طبقات مدولاتور دارای ساختار STF واحد نیستند. لذا مزایای STF واحد برای آن وجود ندارد. همان‌طور که قبلاً بیان شد برای رفع این مشکل، یک ساختار DNC بهینه شده در [۹] طراحی شده است که در آن یک طبقه فیلتر دیجیتال به ساختار اضافه کرده است. این طبقه علاوه بر اینکه کار طراح را در انتخاب توابع STF و NTF راحت‌تر می‌کند اما در تطبیق بین طبقات آنالوگ و دیجیتال مشکل به وجود می‌آورد که معمولاً هزینه اینکار، افزایش توان مصرفی است.

۳- ساختار مدولاتور SMASH پیشنهادی

در این بخش، ساختار مدولاتور سیگما دلتای S-MASH بهبودیافته با STF واحد پیشنهادی ارائه می‌گردد که بلوک دیاگرام کلی آن در شکل (۵) نشان داده شده است. طراحی این ساختار به گونه‌ای است که بتوان مشکلات مربوط به حذف خطای E_{q1} و زمان‌بندی پردازش سیگنال در مسیر بحرانی فیدبک و همچنین مشکل سرعت تبدیل داده در بلوک جمع‌کننده قبل از کوانتایزر را برطرف کرد.



شکل (۳): بلوک دیاگرام ساختار S-MASH2-2 با STF واحد [۴]

استراتژی استفاده شده در شکل (۳)، شکل‌دهی نویز را مشابه شکل‌دهی در ساختار مدولاتور MASH متوال می‌سازد. رابطه (۲) نیز این سخن را تایید می‌کند. همچنین این توپولوژی، خصیصه‌های مدولاتورهای S-MASH که در [۳] آورده شده، همانند عدم نشت نویز و سوئیچینگ خروجی و بهره کم در تقویت‌کننده‌های آن، را حفظ می‌کند.

اما مشکل اصلی ساختار این است که استخراج E_{q1} ، اعمال آن به طبقه دوم برای پردازش و در نهایت تفریق خروجی طبقه دوم از طبقه اول بدون هیچگونه تاخیری در این پروسه، در عمل غیر ممکن است [۹ و ۱۳]. برای درک بهتر، در شکل (۳) با خطوط پررنگ مسیر بحرانی بدون تاخیر مشخص شده است. همان نویسنده، راه‌کاری در مرجع [۱۴] ارائه کرده که در آن از یک ساختار STF غیر واحد در طبقه دوم استفاده کرده و یک واحد تاخیر در مسیر بحرانی (مسیر فیدبک) قرار داده است. با مراجعه به این ساختار می‌توان دریافت که در ازای چشم‌پوشی از مزایای STF واحد، مشکل اشاره شده در ساختار شکل (۳) جبران شده است. ولی باز هم خطای E_{q1} در خروجی مدولاتور ظاهر می‌شود.

اما در [۵] یک مدولاتور سیگما-دلتا به نام مدولاتور S-MASH حذف نویز مبتنی بر تاخیر (DNC S-MASH)، معرفی شده است که در آن خطای E_{q1} در خروجی حذف می‌شود. در این ساختار خروجی طبقه اول بعد از یک واحد تاخیر به بلوک جمع‌کننده دیجیتال می‌رود. این ساختار برای یک مدولاتور مرتبه ۴ یا DNC-S-MASH2-2 در شکل (۴) نشان داده شده که خروجی آن با رابطه زیر بیان می‌شود:

$$Y(z) = z^{-1} STF_1 X(z) - NTF_1 NTF_2 E_{q2}(z) + (z^{-1} NTF_1 - STF_2 (1 - STF_1)) E_{q1}(z) \quad (۳)$$

مدولاتور و سطح بیش بارشدگی (OL) ورودی مدولاتور، محفوظ می‌ماند. مهمتر این که جمع‌کننده دیجیتال و بلوک‌های DEM و DAC در طبقه اول مدولاتور زمان کافی برای پردازش سیگنال را دارند. بنابراین، پهنای باند مدولاتور می‌تواند افزایش یابد.

با توجه به شکل (۵)، اگر $H'(z)$ در ساده‌ترین حالت، یک بلوک انتگرال گیر بدون تاخیر فرض شود، آنگاه خروجی مدولاتور در حوزه تبدیل z به صورت نشان داده شده در زیر خواهد شد:

$$Y(z) = X(z) - \frac{1}{d}(1-z^{-1})^4 E_{q2}(z) \quad (۶)$$

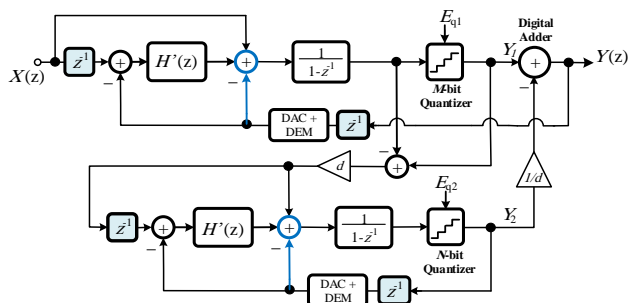
جائی که $X(z)$ و $E_{q2}(z)$ به ترتیب سیگنال ورودی و خطای کوانتیزاسیون طبقه دوم می‌باشند. در نظر بگیرید که خطای کوانتیزاسیون طبقه اول در خروجی حذف می‌شود و بنابراین، کوانتایزر طبقه اول می‌تواند برخلاف مدولاتور S-MASH مرسوم، ساده‌تر و با تعداد بیت خروجی کمتر پیاده‌سازی شود.

مزیت دیگر این ساختار این است که تعداد بلوک‌های فعال در مدولاتور S-MASH 2-2 ارائه شده دو عدد کمتر از تعداد مورد نیاز برای پیاده‌سازی مدولاتور S-MASH 2-2 با STF واحد در [۴] است که منجر به کاهش مساحت و توان مصرفی کمتر خواهد شد.

اما مشکل اصلی در این ساختار این است که در انتگرال‌گیرهای بدون تاخیر کسکید شده هر طبقه، نشست انتگرال‌گیر دوم نسبت به انتگرال‌گیرهای تاخیردار، حدود ۲۰ درصدی کندتر است که طبیعی است. برای جبران آن باید جریان بایاس ترانزیستورهای تقویت‌کننده مورد نیاز انتگرال‌گیر دوم بیشتر باشد لذا توان مصرفی بیشتر خواهد شد. اما کاهش یک واحدی تقویت‌کننده‌ها در هر طبقه، جبران این مشکل را خواهد کرد. همچنین در رابطه (۶) اگر فاکتور مقیاس‌بندی d با توانی از ۲ افزایش یابد آنگاه توان خطای کوانتیزاسیون E_{q2} در خروجی بیشتر کاهش می‌یابد.

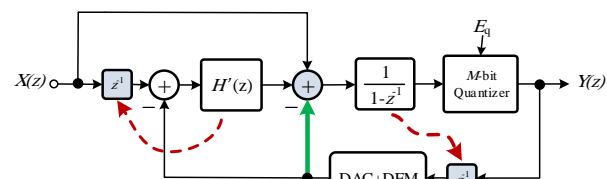
۴- شبیه‌سازی مدولاتور S-MASH با STF واحد و بهبود یافته

برای بررسی صحت عملکرد مدولاتور سیگما-دلتای S-MASH2-2 با STF واحد بهبود یافته، شبیه‌سازی‌های لازم در محیط متلب و سیمولینک [۱۷] به همراه ساختارهای S-MASH2-2 متداول [۳]، ساختار S-MASH2-2 با STF واحد [۴]، ساختارهای S-MASH 2-2 حذف نویز مبتنی بر تاخیر [۵] و ساختار MASH2-2 مرسوم انجام گردید. برای همه ساختارها تعداد بیت کوانتایزر در طبقه اول



شکل (۵): بلوک دیگرام کلی مدولاتور سیگما-دلتای ارایه شده S-MASH بهبود یافته با STF واحد

در این مدولاتور، یک توپولوژی کم-اعوجاج در هر طبقه استفاده می‌شود که روش تاخیر حلقه انتقال یافته [۱۰] در هر کدام از طبقات به کار رفته است. ساختار کلی مربوط به این روش در شکل (۶) آورده شده است.



شکل (۶): ساختار مدولاتور سیگما-دلتای کم-اعوجاج بهینه شده

این روش، تاخیر آخرین انتگرال‌گیر را به مسیر فیدبک منتقل می‌کند که موجب راحت‌تر شدن زمان‌بندی پردازش سیگنال بلوک‌های DAC و DEM در مسیر فیدبک می‌شود. همچنین برای آنکه خواص توپولوژی کم-اعوجاج حفظ شود، بلوک جمع‌کننده آنالوگ که قبل از کوانتایزر قرار گرفته بود، به ورودی آخرین انتگرال‌گیر منتقل می‌شود که در پیاده‌سازی تنها با یک تقویت‌کننده، هر دو قسمت را یکی می‌کنیم. اما در ازای این تغییر، یک فیدبک محلی اضافه‌ای نیز باید به ساختار اضافه شود.

در شکل (۵) مشخص است که یک واحد تاخیر قبل از بلوک‌های DAC و DEM آن قرار دارد. از طرفی هر طبقه مدولاتور سیگما دلتای ارائه شده تنها نیاز به دو بلوک فعال دارد یعنی تعداد بلوک‌های فعال لازم در این ساختار نسبت به ساختار [۴-۵] یک واحد در هر طبقه کمتر است. لذا در عمل، توان مصرفی کل مدولاتور نیز کاهش خواهد یافت. ساختار مدولاتور سیگما-دلتای ارائه شده که مدولاتور S-MASH با STF واحد بهبود یافته نامیده می‌شود، مشکلات و معایب یک ساختار S-MASH با STF واحد را برطرف می‌کند و در عین حال ویژگی‌های پیاده‌سازی STF واحد مانند راحت‌تر شدن سوئیچینگ خروجی انتگرال‌گیرهای فیلتر حلقه

تقویت کننده، بهره DC محدود تقویت کننده مورد استفاده در انتگرال گیر، پهنای باند، سرعت چرخش محدود تقویت کننده و عدم تطبیق مسیرهای نمونه برداری می باشد.

۴-۱- بهره محدود تقویت کننده

در این قسمت اثر بهره dc محدود تقویت کننده که در پیاده سازی بلوک انتگرال گیرها به کار می رود، برای هر مدولاتور نامبرده در بخش قبل در سطح سامانه ای، مدل می شود. لازم به ذکر است که پیاده سازی مدولاتورها با مدارات سوئیچ شونده-خازنی انجام می شود.

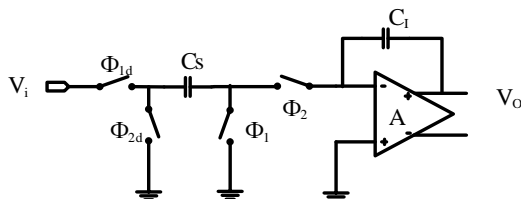
یک تقویت کننده عملیاتی در حالت واقعی دارای بهره DC محدود می باشد که باعث می شود عمل انتگرال گیری در یک انتگرال گیر سوئیچ-خازنی، با مشکل مواجه شود. شکل (۸) یک انتگرال گیر با تاخیر سوئیچ-خازنی که دارای تقویت کننده عملیاتی با بهره محدود A است را نشان می دهد. در صورتی که A به بی نهایت میل کند انتگرال گیر ایده آل فرض می شود اما به علت محدود بودن بهره فوق، انتگرال گیر دارای تابع تبدیل واقعی به صورت زیر می شود:

$$\frac{V_o(z)}{V_i(z)} = \left(\frac{C_s}{C_I}\right) \frac{(1-m)z^{-1}}{1-(1-p)z^{-1}} \quad (7)$$

که مقادیر m و p برابر است با:

$$m = \frac{1}{A_0} \left(1 + \frac{C_s}{C_I}\right) \quad (8)$$

$$p = \frac{\frac{1}{A_0} \left(\frac{C_s}{C_I}\right)}{1 + \frac{1}{A_0} \left(1 + \frac{C_s}{C_I}\right)} \quad (9)$$

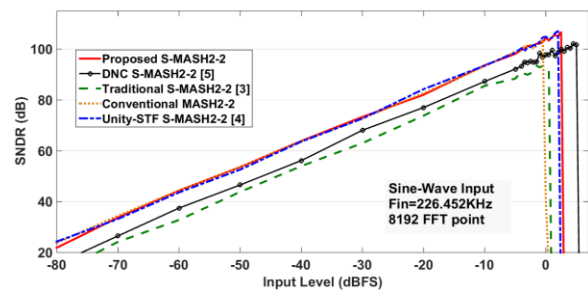


شکل (۸): انتگرال گیر سوئیچ-خازنی با بهره DC محدود

با مدل کردن اثر فوق به صورت شکل (۹) به جای انتگرال گیرهای با تاخیر یا بدون تاخیر مدولاتورها و شبیه سازی آن

و دوم برابر ۴ گرفته شده است. مقدار OSR برابر ۱۶ فرض می شود. در شکل (۷)، مقدار سیگنال به نویز به اضافه اعوجاج (SNDR) بر حسب تغییرات سطح سیگنال ورودی در حالت ایده آل آورده شده است.

سطح بیش بارشدگی مدولاتور ارائه شده بسیار بزرگتر از S-MASH متداول است زیرا در مدولاتور ارائه شده از توپولوژی کم-اعوجاج استفاده شده، اما از ساختار S-MASH مرجع [۵] کمتر است در عوض ساختار ارائه شده دقت بالاتری خواهد داشت. در واقع به ازای یک دقت یکسان مدولاتور ارائه شده می تواند پایداری بهتری داشته باشد. اما سطح بیش بارشدگی در مدولاتور ارائه شده و مدولاتور مرجع [۴] تقریباً با هم برابر است که معقول به نظر می رسد اما در شرایط عملی پیاده سازی مدولاتور ارائه شده راحت و امکان پذیر می باشد.



شکل (۷): میزان SNDR بر حسب تغییرات سیگنال ورودی

دیگر مزیت مدولاتور ارائه شده، کاهش سوئیچینگ خروجی تقویت کننده های مورد نیاز در انتگرال ها است. این مزیت باعث پیاده سازی ساختار مدولاتور ارائه شده در ولتاژهای تغذیه پایین می گردد.

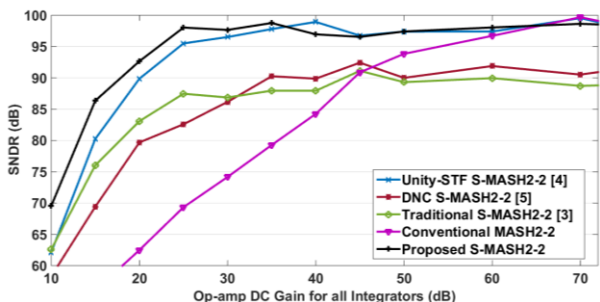
سوئیچینگ خروجی انتگرال گیر اول در جدول (۱) آورده شده و با ساختارهای مراجع [۳-۴] مقایسه شده است.

جدول (۱): مقایسه سوئیچینگ خروجی انتگرال گیر اول

مدولاتور پیشنهادی	[3]	[4]
1 st op-amp output swing (V)	0.7	0.16

برای آن که در سطح سامانه ای، عملکرد مدولاتور پیشنهادی دقیق تر بررسی شود، مدل کردن اثرات غیر ایده آل مداری توسط جعبه ابزار [۱۷] انجام شد. مهمترین اثرات غیر ایده آلی مدار که روی عملکرد یک مدولاتور تاثیر می گذارد نویز حرارتی سوئیچ ها، نویز

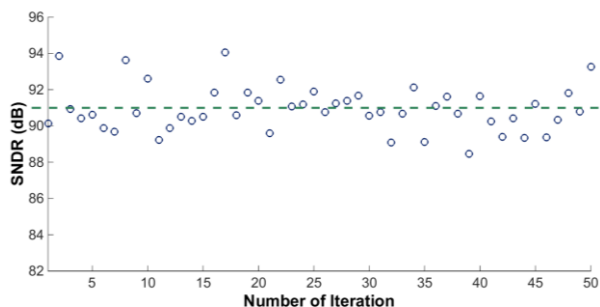
پیشنهادی به ازای SNDR بالای ۹۵ dB حدود ۳۰ dB است که تقریباً از بقیه ساختارها کمتر است.



شکل (۱۱): مقدار SNDR بر حسب بهره DC تقویت کننده مورد نیاز در همه انتگرال گیرها در تمام ساختارها

۴-۲- عدم تطبیق مسیرهای نمونه برداری

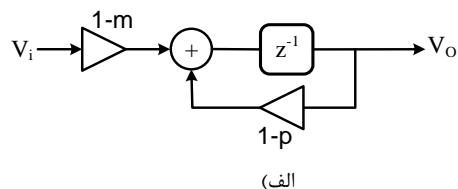
حساسیت به اثرات غیرایده‌آل مداری ناشی از عدم تطبیق بین خازن‌های مورد نیاز در مسیرهای نمونه‌برداری، برای ساختار ارائه شده مورد بررسی قرار گرفت. شکل (۱۲) تغییرات SNDR بر حسب تعداد تکرار، با ۵۰ بار شبیه‌سازی مونت کارلو و در نظر گرفتن حداکثر ۰/۵ درصد انحراف در تطابق خازن‌های مسیر نمونه‌برداری ترسیم شده است. این شبیه‌سازی نشان می‌دهد که عملکرد مدولاتور حساسیت کمی نسبت به عدم تطبیق خازن‌ها دارد و حداکثر ۳ dB کاهش عملکرد نسبت به SNDR معمول (۹۱/۴ dB) مشاهده می‌شود. این نتایج مشخص می‌کند که حساسیت مدولاتور با STF واحد ارائه شده تقریباً همانند مدولاتور STF واحد مرجع [۴] است.



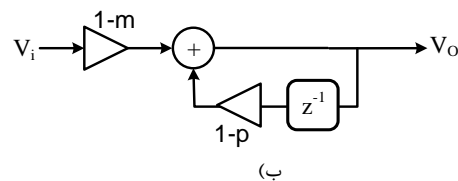
شکل (۱۲): آنالیز مونت کارلو برای عدم تطابق خازن‌ها

جدول (۲) جمع‌بندی نتایج شبیه‌سازی در محیط سیمولینک با در نظر گرفتن اثرات غیرایده‌آل مداری برای مدولاتور سیگما-دلتای کسکید S-MASH پیشنهاد شده به‌ازای ورودی 3dBFS را نشان می‌دهد. لازم به ذکر است که نویز سوئیچینگ در برابر نویز

در محیط سیمولینک می‌توان حداقل بهره DC مورد نیاز که تقویت کننده عملیاتی آنها نیاز دارد را به دست آورد.



(الف)

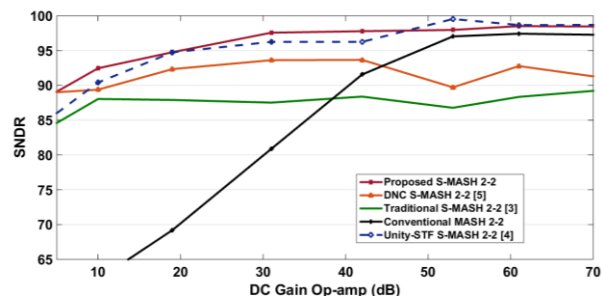


(ب)

شکل (۹): مدل سازی بهره DC محدود در محیط سیمولینک

(الف) انتگرال گیر با تاخیر (ب) بدون تاخیر

شکل‌های (۱۰-۱۱) بهره dc مورد نیاز تقویت کننده‌های مورد نیاز در انتگرال گیرها به‌ازای یک ورودی با سطح 6dBFS را برای ساختارهای نامبرده در بالا، نشان می‌دهد. مدل آورده شده در شکل (۹) برای مدولاتور ارائه شده در این مقاله و همزمان چهار ساختار دیگر اشاره شده، مورد بررسی و مقایسه قرار گرفت. شکل (۱۰) تغییرات SNDR بر حسب بهره تقویت کننده در انتگرال گیر اول برای ۵ ساختار مختلف و در شکل (۱۱) همان تغییرات به ازای تقویت کننده تمام انتگرال گیرها را نشان می‌دهد.



شکل (۱۰): مقدار SNDR بر حسب بهره DC تقویت کننده مورد نیاز در انتگرال گیر اول در تمام ساختارها

با توجه به شکل (۱۰) برای حصول یک SNDR مشخص، دو ساختار S-MASH با STF واحد و ساختار پیشنهادی کمترین مقدار بهره dc را برای تقویت کننده لازم دارند که در کاربردهای کم‌توان اهمیت فراوانی دارد. اما طبق شکل (۱۱)، چون همه تقویت کننده‌های لازم برای هر مدولاتور را واقعی گرفته‌ایم مقدار دقیق حداقل بهره dc مشخص می‌گردد. این مقدار برای مدولاتور

با توجه به شکل (۱۳) مشخص است که اثرات غیرایده‌آل مداری بر روی رفتار فیلترینگ NTF در بازه پهنای باند مدولاتور، تاثیر چندانی ندارد و لذا تحقق حداقل بیت موثر ۱۴ در مرحله پیاده‌سازی مداری قابل انتظار است.

۵- پیاده‌سازی مدولاتور S-MASH پیشنهادی

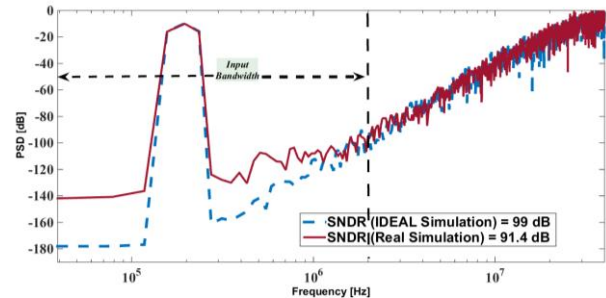
برای بررسی دقیق‌تر رفتار مدولاتور، پیاده‌سازی ترانزیستوری آن انجام و به‌طور خلاصه نتایج پیاده‌سازی مدولاتور پیشنهادی بیان می‌شود. از ساختار تمام-تفاضلی جهت حذف اثرات غیرخطی و مد مشترک در خروجی، برای هر بلوک استفاده می‌شود. هر انتگرال‌گیر، به کمک مدارهای سوئیچ‌شونده خازنی تمام تفاضلی پیاده‌سازی می‌شوند. شکل (۱۴) ساختار مداری مدولاتور پیشنهادی به‌صورت تک-پایانه ای (برای سادگی) را نشان می‌دهد. دو کلاک غیر همپوشان Φ_1 و Φ_2 برای سوئیچ‌ها به کار می‌رود تا عمل نمونه‌برداری و انتقال بار انجام شود. یک خازن $2/1$ pF در انتگرال‌گیر اول برای نمونه‌برداری از سیگنال ورودی و همچنین در مسیر DAC طبقه اول و طبقه دوم استفاده می‌شود. خازن‌های دیگر انتگرال‌گیرها به‌علت شکل‌دهی نویز مربوط به سوئیچ کردن آنها، کوچکتر گرفته می‌شوند تا توان مصرفی مدار کمتر شود.

تقویت‌کننده غالب فرض شده است. به‌ازای این اثرات غیرایده‌آل مداری مقدار SNDR حاصله برابر 91.4 dB می‌گردد.

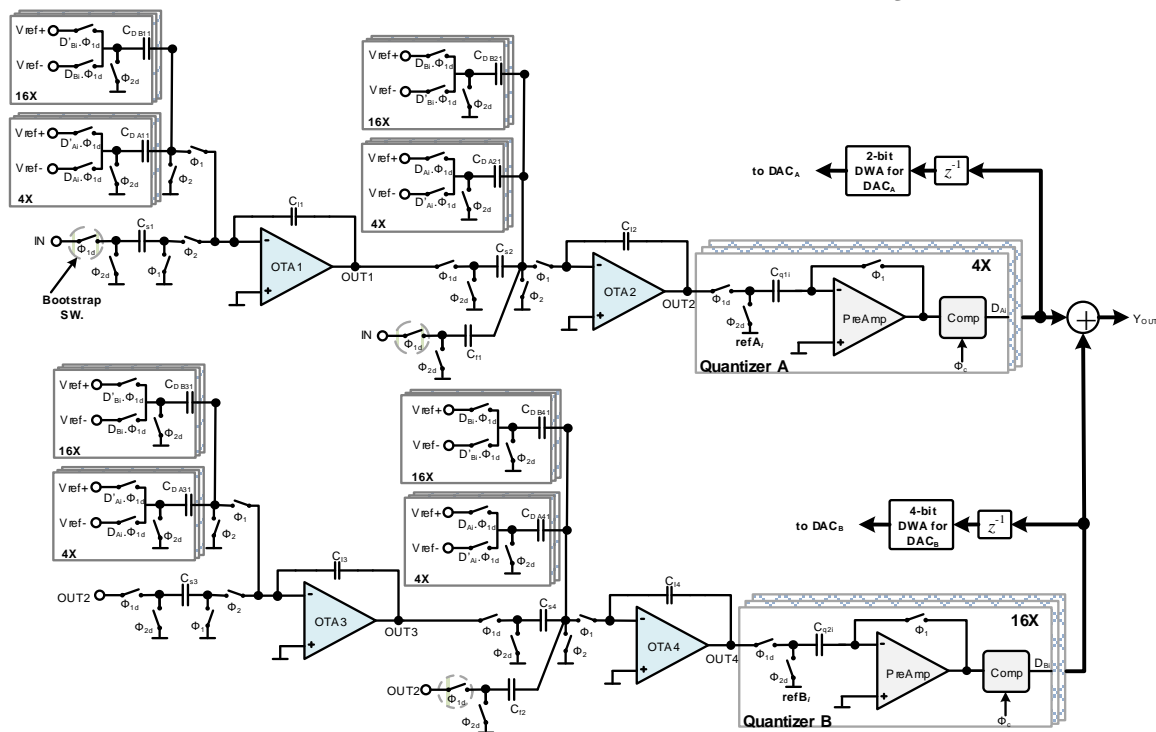
جدول (۲): نتایج شبیه‌سازی با در نظر گرفتن اثرات غیرایده‌آل مداری

مقدار	اثرات غیر ایده‌آلی انتگرال‌گیر
2.1 pF	مقدار خازن نمونه‌بردار برای نویز سوئیچینگ (C_s)
6 ps	جیتر کلاک نمونه‌برداری (3σ)
30 dB	بهره DC محدود تقویت‌کننده (A_0)
200 V/us	نرخ چرخش تقویت‌کننده (SR)
400 MHz	پهنای باند بهره واحد تقویت‌کننده (f_{T1})
91.4 dB	مقدار SNDR با در نظر گرفتن اثرات بالا

همچنین طیف خروجی مدولاتور به‌ازای فرکانس ورودی سیگنال $195/31$ KHz، فرکانس نمونه‌برداری 64 MHz، $OSR=16$ و کوانتایزر ۴ بیتی، به صورت شکل (۱۳) شده است.



شکل (۱۳): طیف خروجی مدولاتور در دو حالت ایده‌آل و واقعی در سطح سامانه‌ای



شکل (۱۴): ساختار مداری مدولاتور سیگما-دلتای پیشنهادی S-MASH بهبودیافته با STF واحد به‌صورت تک-پایانه‌ای (برای سادگی مدار به‌صورت تفاضلی

(رسم نشده)

جدول (۳): مشخصات مورد نیاز تقویت‌کننده عملیاتی انتگرال‌گیر اول

پارامتر	مقدار
دقت(بیت)	۱۵
سوئینگ خروجی (P-P)	۰/۶
بهره DC (dB)	۴۰
حداکثر خروجی سیگنال پله تمام تفاضلی(ولت)	۰/۵
UGBW(MHz)	۴۵۰
ضریب فیدبک حلقه بسته (β)	۰/۵
SR(V/us)	۲۵۰
C_L (pF)	۲

دقت نشست انتگرال‌گیر اول (در طبقه اول) برابر ۱۴ بیت دقت مبدل می‌باشد. با یک منبع تغذیه ۱/۸ ولت و دقت نشست ۱۴ بیت، بیشینه مقدار مجاز خطای نشست تقویت‌کننده برابر $110 \mu V$ خواهد شد. بهره DC این تقویت‌کننده در شبیه‌سازی سامانه‌ای حدود ۳۰ dB شده بود که در عمل برای اطمینان از تاثیر کم خطای ناشی از بهره محدود تقویت‌کننده، مقدار آن ۱۰ dB بیشتر انتخاب شد.

مرحله دیگر، محاسبه جریان شاخه‌های ورودی و کسکید و اندازه g_m ترانزیستورها است. برای جلوگیری از ایجاد سوئینگ نامتقارن در خروجی، جریان شاخه ورودی و کسکود مساوی گرفته می‌شود [۱۱]. برای جریان ترانزیستور ورودی M1 دو رابطه به صورت زیر وجود دارد:

$$I_{D1} = SR \times C_L \quad (10)$$

$$I_{D1} = UGBW \times \pi(V_{GS} - V_{th}) \times C_L \quad (11)$$

که در آن، C_L خازن بار می‌باشد. با محاسبه روابط بالا دو مقدار برای جریان مصرفی ترانزیستور ورودی تقویت‌کننده به دست می‌آید که مقدار بزرگتر انتخاب می‌شود. براین اساس جریان شاخه ورودی و کسکود برابر ۰/۲۸ mA خواهد شد. با این حساب، اندازه ترانزیستورهای مدار با در نظر گرفتن ولتاژ موثر درین-سورس مناسب (در اینجا حدود ۰/۱۸ ولت)، مشخص می‌شوند. جدول (۴) مناسب اندازه ترانزیستورهای تقویت‌کننده انتگرال‌گیر اول را نشان می‌دهد. جریان مصرفی کل تقویت‌کننده ۱/۲ mA و توان مصرفی آن برابر ۲/۶ mW خواهد شد.

جدول (۴): اندازه ترانزیستورهای تقویت‌کننده انتگرال‌گیر اول

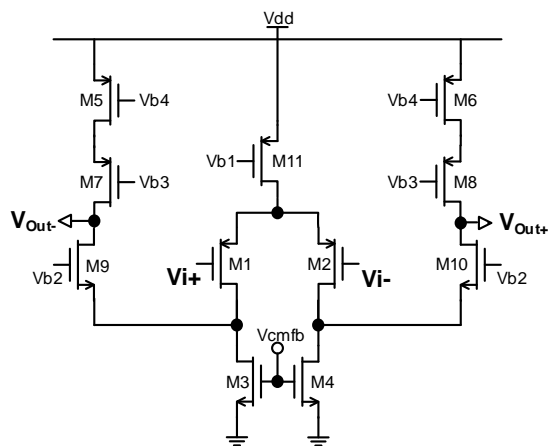
Tr.	M _{1,2}	M _{3,4}	M _{5,6}	M _{7,8}	M _{9,10}	M ₁₁
Size(W/L)	32u/.1 8u	15u/. 3u	20u/.2 5u	120u/.1 8u	40u/.1 8u	60u/.1 8u

اما تقویت‌کننده انتگرال‌گیر دوم و سوم و چهارم، با وجود اینکه خازن بار کمتری دارند، با همان آرایش انتگرال‌گیر اول پیاده

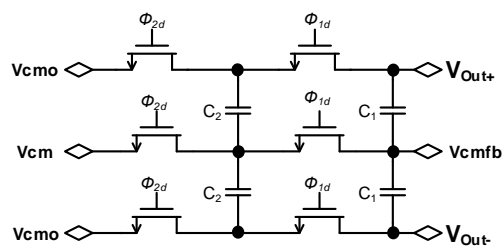
۵-۱- تقویت‌کننده مورد نیاز در انتگرال‌گیرها

شکل (۱۵-الف) ساختار ترانزیستوری تقویت‌کننده هدایت انتقالی مورد استفاده در انتگرال‌گیرها را نشان می‌دهد که به علت پایین بودن بهره DC مورد نیاز، یک تقویت‌کننده تک-طبقه فلدد-کسکید با ترانزیستورهای ورودی PMOS انتخاب شده است. لازم به ذکر است که جهت کاهش نویز فلیکر و افزایش سرعت چرخش از زوج تفاضلی PMOS استفاده شده است.

یک مدار فیدبک حالت-مشترک (CMFB) زمان گسسته (به خاطر بارگذاری کمتر آن در خروجی تقویت‌کننده) برای کنترل ولتاژ حالت مشترک خروجی به کار رفته است و جریان ترانزیستورهای M₃ و M₄ تقویت‌کننده را تنظیم می‌کند. شکل (۱۵-ب) مدار CMFB را نشان می‌دهد که در آن خازن C₁ در فاز Φ_1 توسط خازن C₂ شارژ می‌شود تا پهنای باند انتگرال‌گیر در فاز Φ_2 حداکثر شود.



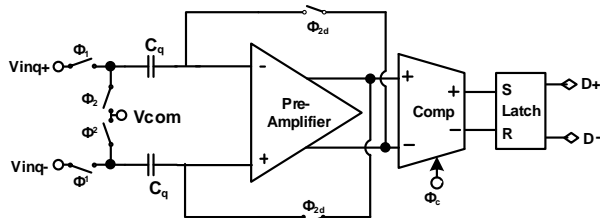
الف



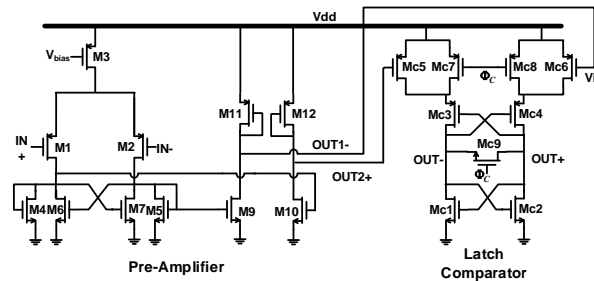
ب

شکل (۱۵): الف) تقویت‌کننده مورد استفاده در انتگرال‌گیر (ب) مدار فیدبک حالت مشترک آن

مشخصه‌های طراحی تقویت‌کننده مورد استفاده در انتگرال‌گیرها از شبیه‌سازی سامانه‌ای تعیین می‌شود. جدول (۳) این مشخصات را برای تقویت‌کننده انتگرال‌گیر اول نشان می‌دهد.



شکل (۱۶): بلوک دیاگرام یکی از مقایسه‌گرهای کوانتایزر



شکل (۱۷): مدار مقایسه‌گر لچ و پیش تقویت‌کننده قبل از آن [۲]

مقدار بهره پیش تقویت‌کننده برابر ۲۰ dB گرفته می‌شود تا از یک سو اثر نویز کیک‌بک کم‌رنگ شود، از سوی دیگر آفست مدار مقایسه‌گر لچ ارجاع شده به ورودی به مقدار زیاد کاهش یابد.

چون آفست یک مقایسه‌گر لچ را به صورت یک پدیده تصادفی در نظر می‌گیرند باید تطابق بین عناصر مدار بسیار بالا باشد. مقدار آفست مجاز برای مقایسه‌گر که دقت آن ۴ بیت باید باشد برابر ۵۶ میلی‌ولت است. با توجه به نتایج شبیه‌سازی شکل (۱۷)، مقدار آفست مقایسه‌گر لچ وقتی به ورودی ارجاع داده می‌شود برابر ۱۵ میلی‌ولت می‌گردد. آفست ورودی مقایسه‌گر علاوه بر آفست قفل، شامل آفست پیش تقویت‌کننده، ولتاژهای مرجع مقایسه‌گر و خازن‌های نمونه‌برداری آن نیز می‌باشد که در مجموع کمتر از آفست مجاز آن می‌گردد که به علت استفاده از روش حذف آفست در ورودی حاصل شده است. مصرف توان مدار مقایسه‌گر به همراه پیش تقویت‌کننده برابر ۰/۱۲۴ mW می‌گردد.

همان‌طور که گفته شد در پیاده‌سازی کوانتایزر طبقه اول، آن‌را ۲ بیتی یا ۴ سطحی محقق کرده‌ایم. از همان تقسیم‌کننده مقاومتی ولتاژ در کوانتایزر ۴ بیتی، برای ساخت ولتاژهای مرجع کوانتایزر ۲ بیتی نیز استفاده می‌شود تا از افزایش توان مصرفی و حجم مدار جلوگیری شود.

می‌شوند زیرا به علت کم بودن نرخ بیش‌نمونه‌برداری، خاصیت شکل‌دهی نویز طبقات بعدی از دید ورودی کاهش یافته، تقویت‌کننده‌های با عملکرد بالا نیاز می‌باشد.

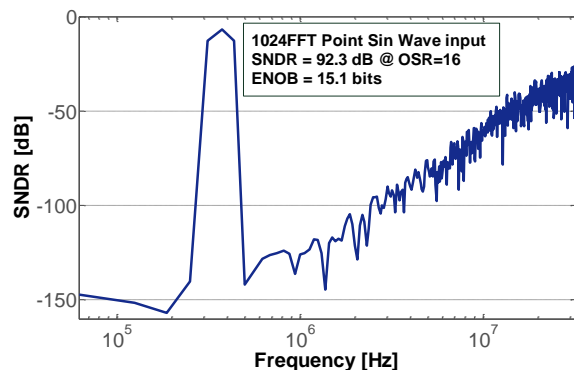
۵-۲- کوانتایزر

در مدولاتور سیگما-دلتای پیشنهادی دو کوانتایزر ۲ بیتی و ۴ بیتی که دارای ساختار مبدل فلش است، به ترتیب در طبقه اول و دوم استفاده شده است. به علت اینکه نویز طبقه اول در خروجی مدولاتور حذف می‌گردد، در طبقه اول به جای کوانتایزر ۴ بیتی از کوانتایزر ۲ بیتی استفاده می‌شود. در شبیه‌سازی‌های سامانه‌ای این واقعیت قابل اثبات بود.

از ۱۶ مقایسه‌گر برای تحقق کوانتایزر ۴ بیتی استفاده شده است که خروجی آنها یک کد دماسنجی است و به یک مدار منطقی که معمولاً شامل تصحیح‌کننده خطای حباب و مبدل باینری می‌باشد، داده شده تا آنرا به کد معادل باینری ۴ بیتی تبدیل کند.

برای ساخت ولتاژهای مرجع، از یک تقسیم‌کننده مقاومتی ولتاژ استفاده می‌شود که شامل مقاومت‌های ۲۵۰ اهمی است که معمولاً در ساخت آن از پلی‌سیلیکون استفاده می‌کنند. با احتساب $V_{ref} = 1.8V$ میزان توان مصرفی تقسیم‌کننده مقاومتی برابر ۰/۸۱ mW می‌گردد. اگر بخواهیم توان تقسیم‌کننده کاهش یابد باید مقدار R زیاد شود. این کار باعث افزایش نویز کیک‌بک شده و نمونه‌برداری را خراب می‌کند. اما کاهش مقدار زیاد مقاومت اگرچه سرعت میرایی نویز را زیاد می‌کند ولی توان مصرفی را افزایش می‌دهد. بنابراین، مصالحه‌ای بین آنها وجود دارد.

بلوک دیاگرام مقایسه‌گر در شکل (۱۶) آورده شده است. طبقه پیش تقویت‌کننده ولتاژهای خروجی خود را به سطحی می‌رساند که مقایسه‌گر بتواند بخوبی تصمیم‌گیری کند و از طرفی مقدار آفست ارجاعی به ورودی کوانتایزر را کاهش دهد. شکل (۱۷) مدار ترانزیستوری پیش تقویت‌کننده و مقایسه‌گر لچ تمام تفاضلی به کار رفته در کوانتایزر را نشان می‌دهد [۲]. این مقایسه‌گر توان مصرفی پایینی دارد اما ولتاژ آفست ورودی آن بالاست و همان‌طور که در شکل (۱۶) نشان داده شده برای غلبه بر این اثر از یک روش حذف آفست استفاده شده است.



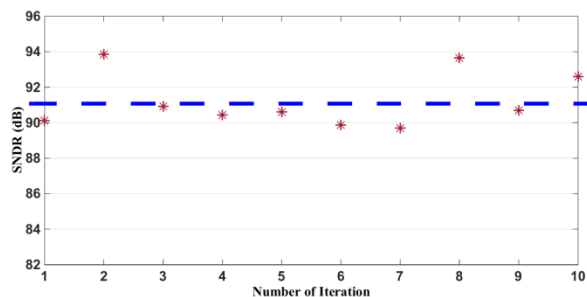
شکل (۱۹): طیف خروجی مدولاتور حاصل از شبیه‌سازی Hspice

مقدار SNDR که فقط شامل نویز کوانتیزاسیون و هارمونیک می‌باشد و نویز حرارتی در آن منظور نشده است، برابر ۹۲/۳ dB شده است. اگر اثر نویز حرارتی ارجاع‌شده به ورودی را نیز در SNDR به‌دست‌آمده لحاظ کنیم مقدار SNDR کل برابر ۸۸/۶ dB می‌شود.

آنالیز در دو گوشه پروسس سریع-سریع و کند-کند به‌ازای تغییرات دما و منبع تغذیه جهت بررسی حساسیت مدولاتور طراحی شده انجام شد. SNDR به‌دست‌آمده بدون در نظر گرفتن نویز حرارتی، برای این دو گوشه به ترتیب برابر ۹۳/۷ dB و ۸۹/۲ dB می‌باشد که تاییدی بر درستی طراحی انجام شده است.

با استفاده از شبیه‌سازی مونت کارلو نیز می‌توان صحت عملکرد مدار را بهتر بررسی کرد. شکل (۲۰) مقدار SNDR ناشی از آنالیز مونت کارلو را به‌ازای تغییرات اندازه خازن‌ها حداکثر تا ۰/۵ درصد، نشان می‌دهد. اندازه SNDR در بدترین حالت با لحاظ کردن نویز مداری برابر ۸۸ dB- است.

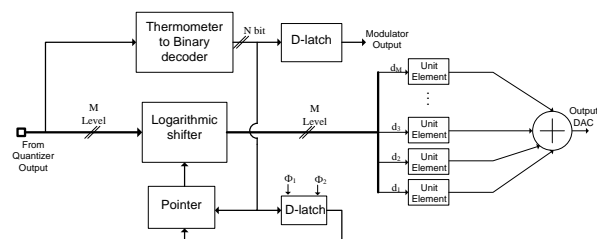
این شبیه‌سازی نشان می‌دهد عملکرد مدولاتور نسبت به اثرات غیرایده‌آل مداری حساس نبوده و در مجموع ۳ dB افت عملکرد به‌ازای حداکثر عدم تطابق وجود دارد.



شکل (۲۰): تغییرات SNDR خروجی به‌ازای تغییرات اندازه خازن‌ها حداکثر تا ۰/۵ درصد

برای شکل‌دهی خطای DAC ۴ بیتی و ۲ بیتی استفاده شده در مسیر فیدبک طبقات مختلف مدولاتور، از الگوریتم خطی‌سازی DWA استفاده می‌شود. در شکل (۱۸) بلوک دیاگرام الگوریتم DWA جهت غلبه بر اثر غیرخطی DAC چندبیتی نشان داده شده است که در آن کد حرارتی M سطحی تولیدی توسط کوانتایزر وارد یک مدار شیفت‌دهنده لگاریتمی می‌شود.

این مدار با توجه به مقدار اشاره‌گر، کد حرارتی M سطحی را چرخش داده و سپس خروجی آن به مبدل DAC می‌رود. مدار اشاره‌گر شامل جمع‌کننده و یک رجیستر N بیتی است که با کلاک Φ_1 و Φ_2 کنترل می‌شود. شیفت‌دهنده لگاریتمی چون در مسیر اصلی فیدبک قرار می‌گیرد باید دارای تاخیر انتقال سیگنال پایینی باشد. اگر از شیفت‌دهنده مرجع [۱۲] در الگوریتم DWA ۴ بیتی استفاده کنیم حدود ۱ ns تاخیر انتقال وجود دارد که برای کار ما مطلوب است، زیرا تاخیر قرار گرفته در مسیر فیدبک مدولاتور پیشنهادی، زمانبندی لازم برای الگوریتم DAC را فراهم می‌آورد و چون زمان کافی برای شیفت‌دهنده و دیگر قسمت‌ها وجود دارد لذا طراحی و ساینزبندی ترانزیستورها به‌گونه‌ای انجام می‌شود که توان مصرفی کمتر گردد. خروجی دیکودر حرارتی به باینری، یک عدد باینری N بیتی است که خروجی هر یک از طبقات مدولاتور می‌باشد. در نهایت دو کد باینری خروجی ۲ و ۴ بیتی از دو طبقه اول و دوم توسط یک جمع‌کننده دیجیتال، باهم جمع شده و خروجی نهایی را شکل می‌دهند.



شکل (۱۸): بلوک دیاگرام الگوریتم DWA

۶- نتایج شبیه‌سازی مداری

شکل (۱۹) طیف خروجی مدولاتور را بدون در نظر گرفتن نویز مداری در محیط Hspice نشان می‌دهد که در آن $f_{in} = 375\text{KHz}$ و دامنه آن -3dBFS گرفته شده است. فرکانس نمونه‌برداری $f_s = 64\text{MHz}$ و $OSR = 16$ می‌باشد. این طیف که برای خروجی ۱۰۲۴ نقطه‌ای رسم شده است دارای SNDR حدود ۹۲dB در دمای ۲۷ درجه سانتی‌گراد می‌باشد.

- [3] N. Maghari, S. Kwon, G. C. Ternes, and U. Moon, "Sturdy MASH sigma-delta Modulator," *Electronics Letters*, vol. 42, no. 22, pp. 1269-1270, 2006.
- [4] A. Morgado, R. Del Ri'o, and J. M. de la Rosa, "Cascade $\Sigma\Delta$ modulator for low-voltage wideband applications," *Electronics Letters*, vol. 43, no.17, pp. 910-911, 2007.
- [5] C. Han and N. Maghari, "Delay based noise cancelling sturdy MASH delta-sigma modulator," *Electronics Letters*, vol. 50, no. 5, pp. 351-353, 2014.
- [6] M. Honarparvar, J. M. de la Rosa, F. Nabki, and M. Sawan, "SMASH $\Delta\Sigma$ modulator with adderless feed-forward loop filter," *Electronics Letters*, vol. 53, no. 8, pp. 532-534, 2017.
- [7] F. Hemmati, E. N. Aghdam, and F. Gozalpour, "DNC-SMASH structure improvement for high-resolution wideband applications," *IEEE 4th International Conference on Knowledge-Based Engineering and Innovation (KBEL)*, Tehran, pp. 0037-0039, 2017.
- [8] J. Silva, U. Moon, J. Steensgaard, and G. C. Ternes, "Wideband low distortion delta-sigma ADC topology," *Electronics Letters*, vol. 37, no. 12, pp. 737-738, 2001.
- [9] C. Han, A. Fahmy, and N. Maghari, "Noise-cancelling sturdy MASH delta-sigma modulator," *IEEE International Symposium on Circuits and Systems (ISCAS)*, Montreal, pp. 1502-1505, 2016.
- [10] X. Meng, Y. Zhang, T. He, and G. C. Ternes, "Low-distortion wideband delta-sigma ADCs with shifted loop delays," *IEEE Transaction on Circuits & System I*, vol. 62, pp. 376-384, 2015.
- [11] M. Yavari, O. Shoaei, and A. Rodriguez-Vazquez, "Systematic and optimal design of CMOS two-stage opamps with hybrid cascode compensation," in *Proc. Design Automation and Test in Europe*, pp. 144-149, 2006.
- [12] R. Jiang and T. S. Fiez, "A 14-bit delta-sigma ADC with 8x OSR and 4MHz conversion bandwidth in a 0.18um CMOS process," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 1, pp. 63-74, 2004.
- [13] M. Taghizadeh and S. Sadughi, "Improved unity-STF sturdy MASH $\Sigma\Delta$ modulator for low-power wideband applications," *Electronics Letters*, vol. 51, no. 23, pp. 1941-1942, 2015.
- [14] A. Morgado, R. Del Rão, and J. M. de la Rosa, "Nanometer CMOS Sigma-Delta Modulators for Software Defined Radio," Springer press, 2012.
- [15] M. H. Maghami and M. Yavari, "A hybrid CT/DT double-sampled SMASH $\Sigma\Delta$ modulator for broadband applications in 90 nm CMOS technology," *Analog Integrated Circuit and Signal Processing*, vol. 73, pp. 101-114, 2012.
- [16] N. Maghari, Sunwoo Kwon, and Un-Ku Moon, "74 dB SNDR Multi-Loop Sturdy-MASH Delta-Sigma Modulator Using 35 dB Open-Loop Opamp Gain," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 8, pp. 2212-2221, 2009.
- [17] J. Rui'z-Amaya, J. M. de la Rosa, F. V. Fernãndez, F. Medeiro, R. del Ri'o, B. Pe'rez-Verdu', and A. Rodri'guez-Va'zquez, "High-level synthesis of switched-capacitor, switched-current and continuous-time $\Sigma\Delta$ modulators using SIMULINK-based time-domain behavioral models," *IEEE Transaction on Circuits & System I*, vol. 52, pp. 1795-1810, 2005.
- [18] C. Han, T. Kim, and N. Maghari, "SMASH-MASH delta-sigma modulator using noise-shaping quantizers," *14th IEEE International New Circuits and Systems Conference (NEWCAS)*, Vancouver, pp. 1-4, 2016.

جدول (۵) خلاصه نتایج شبیه‌سازی مدارای و مقایسه با ساختارهای مشابه را نشان می‌دهد.

جدول (۵): مقایسه نتایج پیاده‌سازی مدولاتور

مشخصه	این کار	[۱۵]	[۱۶]
توپولوژی	مرتب ۴ کسکید (DT)	مرتب ۴ کسکید (CT-DT)	مرتب ۴ کسکید (DT)
فرکانس نمونه برداری (MHz)	64	200	20
پهنای باند نرخ ناپکوئیست (Ms/s)	4	25	1.25
SNDR (dB)	88.6	74.8	74.6
منبع تغذیه (V)	1.8	1	1.2
توان مصرفی (mW)	12	17	3.2
تکنولوژی	0.18 um	0.09 um	0.18 um
معیار شایستگی* (fJ/conv.step)	103	124	236

* FOM=POWER / (BW_N . 2^{(SNDR-1.76)/6.02})

۷- نتیجه‌گیری

در این مقاله، طراحی و پیاده‌سازی یک مدولاتور سیگما دلتای کسکید با ساختار S-MASH2-2 توضیح داده شد. از یک توپولوژی کم-اعوجاج تغییر یافته، در ساختار طراحی شده استفاده گردید تا خطای کوانتیزاسیون طبقه اول در خروجی مدولاتور حذف شود. ساختار S-MASH بهبود یافته با STF واحد مشکلات مربوط به زمان بندی پردازش سیگنال در مسیرهای بحرانی را برطرف کرد تا در عمل قابل پیاده‌سازی گردد. نتایج شبیه‌سازی در سطح سامانه‌ای و مدارای و مقایسه آن با سایر کارها، درستی عملکرد مدولاتور را تایید می‌کند. با توجه به اهمیت پردازش اطلاعات در حوزه مدیریت و جلوگیری از بحران و پدافند الکترونیکی، طراحی صورت گرفته قابل استفاده در ابزار و تجهیزات سخت‌افزاری الکترونیکی مرتبط با این حوزه می‌باشد.

۸- منابع

- [1] M. Goorani and M. Ghayoori Sales, "A Method to Ensure the Results of Queries on the Outstanding Database Based on the Game Theory," *Journal of Electronical & Cyber Defence*, vol. 5, no. 2, 2017. (In Persian)
- [2] M. Taghizadeh and A. Nabavi, "Design of Single-Stage Sigma Delta Modulator with 6-MHz bandwidths & 15-bit Resolution," *Iranian Journal on Electric & Computer Engineering (IECE)*, vol. 7, no. 4, pp. 307-314, 2008. (In Persian)

Optimal Design of Low-power High-resolution Unity-STF S-MASH Sigma Delta Modulator for Telecommunication Applications

M. Taghizadeh, S. Sadughi*, M. Sharifkhani

*Sharif University of Technology

(Received: 29/03/2018, Accepted: 13/10/2018)

ABSTRACT

Given the importance of signal processing in the digital domain, improving the hardware performance of the transmitter-receiver communication systems, especially in the military section, depends on the proper design of the converters that perform the signal conversion from analogue to digital and vice versa. This paper proposes a novel method to improve the modulator speed and resolution in the Sturdy Multi-Stage Noise-Shaping (S-MASH) sigma delta analogue to digital convertor (ADC). Since any stage in the modulator loop of the architecture has unity signal transfer function (Unity-STF), the modulator would be very robust to circuit non-idealities such as finite op-amp gain and coefficient mismatching. Furthermore, the signal processing timing issue in the critical paths of the proposed architecture has been relaxed due to shifting the delay of each stage of the modulator loop filter to its own feedback path. On the other hand, the proposed Unity-STF S-MASH architecture needs fewer active blocks for implementation which makes it suitable for low power, high operation speed applications i.e. communication systems. The simulation results show the effectiveness of the proposed architecture. Since the information processing is an important category in the field of management and crisis prevention, the design would be applicable in the electronic hardware equipment related to this area.

Keywords: Sigma Delta Modulator, S-MASH, Unity-STF, Low-distortion Topology

* Corresponding Author Email: sadughi@sharif.edu